

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-229697

(43)Date of publication of application : 24.08.2001

(51)Int.Cl. G11C 29/00
G01R 31/28
G11C 11/407
G11C 11/401
G11C 16/02
G11C 16/06
H01L 27/04
H01L 21/822

(21)Application number : 2000-351747

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.11.2000

(72)Inventor : KANDA KAZUE
IKEHASHI TAMIO
TAKEUCHI TAKESHI
IMAMIYA KENICHI

(30)Priority

Priority number : 11351395

Priority date : 10.12.1999

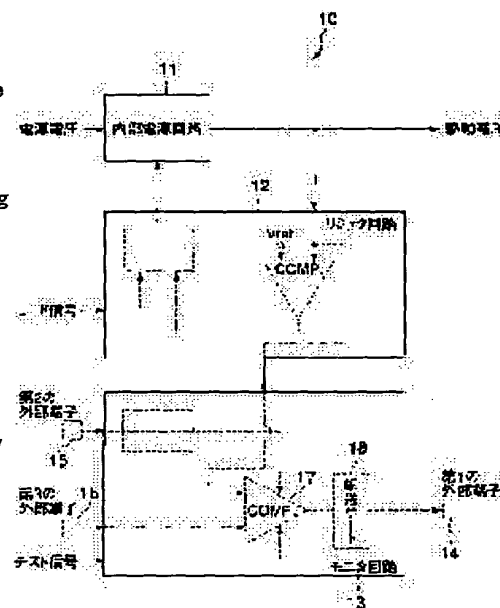
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit in which a state of output voltage in the internal power source circuit can be simply monitored in an external terminal and trimming of internal voltage can be easily performed.

SOLUTION: This device is provided with a limiter circuit 23 outputting voltage discrimination FLG to set a boosting voltage level of a boosting circuit to the prescribed value, and a monitor circuit 24 outputting a monitor signal monitoring a monitor node of the limiter circuit and stabilizing boosting voltage to a PAD1. The monitor circuit detects variation of an initial level from 'H' to 'L' of voltage discrimination FLG after start of operation of the limiter circuit 23 using external power source voltage Vextpw supplied from PAD 2 and 3 and a comparator CMP2 to which external reference voltage Vextref is given, and after that, the monitor circuit outputs a monitor signal holding a constant logic level during an operation period of the limiter circuit. Also, a feedback system of the limiter circuit is inactivated by giving externally voltage desired to set to a voltage monitor pad to give a voltage trimming function, and a limiter flag may be detected and stored by operating a resistance value of the limiter circuit.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2001-229697(P2001-229697A)
 (43)【公開日】平成13年8月24日(2001. 8. 24)
 (54)【発明の名称】半導体集積回路
 (51)【国際特許分類第7版】

G11C 29/00 671
 673
 G01R 31/28
 G11C 11/407
 11/401
 16/02
 16/06
 H01L 27/04
 21/822

【FI】

G11C 29/00 671 T
 673 T
 G01R 31/28 B
 U
 G11C 11/34 354 F
 371 A
 17/00 601 Z
 632 C
 H01L 27/04 B

【審査請求】未請求

【請求項の数】21

【出願形態】OL

【全頁数】31

(21)【出願番号】特願2000-351747(P2000-351747)

(22)【出願日】平成12年11月17日(2000. 11. 17)

(31)【優先権主張番号】特願平11-351395

(32)【優先日】平成11年12月10日(1999. 12. 10)

(33)【優先権主張国】日本(JP)

(71)【出願人】

【識別番号】000003078

【氏名又は名称】株式会社東芝

【住所又は居所】神奈川県川崎市幸区堀川町72番地

(72)【発明者】

【氏名】神田 和重

【住所又は居所】神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)【発明者】

【氏名】池橋 民雄

【住所又は居所】神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)【発明者】

【氏名】竹内 健

【住所又は居所】神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)【発明者】

【氏名】今宮 賢一

【住所又は居所】神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)【代理人】

【識別番号】100064285

【弁理士】

【氏名又は名称】佐藤 一雄(外3名)

(57)【要約】

【課題】内部電源回路の出力電圧状態を外部端子で簡便にモニタできると共に内部電圧のトリミングを容易にした半導体集積回路を提供する。

【解決手段】昇圧回路の昇圧電圧レベルを所定値設定するため電圧判定FLGを出力するリミッタ回路23と、リミッタ回路の監視ノードを監視して昇圧電圧安定化のモニタ信号をPAD1に出力するモニタ回路24とを備える。モニタ回路は、PAD2、3から供給される外部電源電圧Vextpwおよび外部基準電圧Vextrefが与えられるコンパレータCMP2を用いて、リミッタ回路23の動作開始後、電圧判定FLGの“H”から“L”への最初のレベル変化を検出し、以後リミッタ回路の動作期間中一定の論理レベルを保持するモニタ信号を出力する。また、電圧トリミング機能を持たせるため電圧モニタパッドに設定したい電圧を外部から与えてリミッタ回路のフィードバック系を非活性化させ、リミッタ回路の抵抗値を操作して、リミッタフラグを検出・記憶しても良い。

【特許請求の範囲】

【請求項1】電源電圧のレベルをシフトした駆動電圧を生成する内部電源回路と、モード信号の入力により動作を開始して前記内部電源回路が出力する前記駆動電圧を監視し、この駆動電圧が所定値に達するまで第1論理レベルを維持し、前記駆動電圧が前記所定値に達してから第2論理レベルとなる活性化信号を出力することにより、前記内部電源回路を活性化制御するリミッタ回路と、前記リミッタ回路の動作開始後に前記活性化信号の第1論理レベルから第2論理レベルへの最初の変化を検出すると共に、この活性化信号の最初の変化が検出されてから前記リミッタ回路が動作している間は一定の論理レベルを保持するモニタ信号を出力するモニタ回路と、を備えることを特徴とする半導体集積回路。

【請求項2】前記モニタ回路はテストモード時に活性化され、前記モニタ信号は第1の外部端子に転送出力されることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】前記モニタ回路は、第2の外部端子から供給される外部電源電圧が与えられ、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を第3の外部端子から供給される基準電圧と比較して前記モニタ信号を出力するコンパレータと、このコンパレータから出力される前記モニタ信号を前記第1の外部端子に転送する転送ゲートと、を備えることを特徴とする請求項2に記載の半導体集積回路。

【請求項4】前記第3の外部端子から供給される基準電圧は、前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】前記第2の外部端子から前記コンパレータに外部電源電圧を供給する経路に、昇圧された電圧により駆動される転送ゲートが挿入されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項6】前記第3の外部端子から前記コンパレータに基準電圧を供給する経路に、外部電源電圧または内部で昇圧された電圧で駆動される転送ゲートが挿入されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項7】前記モニタ回路は、第2の外部端子から供給される外部電源電圧が与えられ、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を前記外部電源電圧を分圧して得られる基準電圧と比較して前記モニタ信号を出力するコンパレータと、このコンパレータから出力される前記モニタ信号を前記第1の外部端子に転送する転送ゲートと、を備えることを特徴とする請求項2に記載の半導体集積回路。

【請求項8】前記第2の外部端子から供給される外部電源電圧は、前記基準電圧が前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であることを特徴とする請求項7に記載の半導体集積回路。

【請求項9】前記第2の外部端子から前記コンパレータに外部電源電圧を供給する経路に、昇圧された電圧により駆動される転送ゲートが挿入されていることを特徴とする請求項7に記載の半導体集積回路。

【請求項10】前記モニタ回路は、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を第3の外部端子から供給される基準電圧と比較して前記モニタ信号を出力するコンパレータと、このコンパレータから出力される前記モニタ信号を前記第1の外部端子に転送する転送ゲートと、を備えることを特徴とする請求項2に記載の半導体集積回路。

【請求項11】前記第3の外部端子から供給される基準電圧は、前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であることを特徴とする請求項10に記載の半導体集積回路。

【請求項12】前記第3の外部端子から前記コンパレータに基準電圧を供給する経路に、外部電源電圧または内部で昇圧された電圧で駆動される転送ゲートが挿入されていることを特徴とする請求項10に記載の半導体集積回路。

【請求項13】前記モニタ回路は、動作開始直後の前記活性化信号の第1論理レベルへの切り替えを検知して保持する第1のラッチ回路と、動作開始後の前記活性化信号の最初の第2の論理レベルの切り替えを検知して保持する第2のラッチ回路と、これら第1および第2のラッチ回路の保持データの論理積により前記モニタ信号を得るゲート回路と、を備えることを特徴とする請求項2に記載の半導体集積回路。

【請求項14】所定電圧を基準電圧と比較する比較部と、この比較部の出力に基づき内部電圧を生成する内部電圧生成部と、内部電圧ノードを抵抗分割により前記所定電圧に分圧する抵抗分割部と、を備える半導体集積回路であって、所望の電圧となるような内部抵抗値を設定するために、前記内部電圧生成部と前記抵抗分割部との接続点である第1ノードに接続された外部端子に外部から所望のトリミング電圧を供給し、前記比較部の出力による内部電圧生成部へのフィードバックを非活性化させ、該比較部の出力である比較結果を検出することにより内部抵抗値を決定するテストモードを備えることを特徴とする請求項1に記載の半導体集積回路。

【請求項15】所定電圧を基準電圧と比較する比較部と、この比較部の出力に基づき内部電圧を生成する内部電圧生成部と、内部電圧ノードを抵抗分割により前記所定電圧に分圧する抵抗分割部と、を備える半導体集積回路であって、所望の電圧となるような内部抵抗値を設定するために、前記内部電圧生成部と抵抗分割部との接続点である第1ノードに接続された外部端子に外部から所望のトリミング電圧を供給し、前記比較部の出力による内部電圧生成部へのフィードバックを非活性化させ、該比較部の出力である比較結果を検出することにより内部抵抗値を決定するテストモードを備えることを特徴とする半導体集積回路。

【請求項16】前記半導体集積回路は、チップ全体の基準電圧を生成する第1の基準電圧生成部をさらに備えている請求項15に記載の半導体集積回路。

【請求項17】前記半導体集積回路は、チップ全体の基準電圧である第1の基準電圧が前記外部端子より供給される前記トリミング電圧よりも大きい場合に、前記第1の基準電圧をレベルシフトにより降圧させた第2の基準電圧を生成する第2の基準電圧生成回路をさらに備えている請求項15に記載の半導体集積回路。

【請求項18】前記内部電圧生成部は、前記内部電圧が電源電圧よりも大きいときに出力される活性化信号により動作するオン

レータ回路と、前記オシレータ回路の出力するパルスを受けて昇圧して前記第1ノードに昇圧電圧を出力する昇圧回路と、テストモード時に前記外部端子から供給される所望の前記トリミング電圧により、前記比較部より出力される比較結果により前記オシレータ回路の活性化と非活性化との切替えを制御する制御部と、を備えることを特徴とする請求項15に記載の半導体集積回路。

【請求項19】前記内部電圧生成部は、前記内部電圧が電源電圧よりも大きいときに出力される活性化信号により動作するオシレータ回路と、前記オシレータ回路の出力するパルスを受けて昇圧して前記第1ノードに昇圧電圧を出力する昇圧回路と、テストモード時に前記外部端子から供給される所望の前記トリミング電圧により、前記比較部より出力される比較結果により前記昇圧回路の活性化と非活性化との切替えを制御する制御部と、を備えることを特徴とする請求項15に記載の半導体集積回路。

【請求項20】前記抵抗分割部は、テストモード時に前記比較結果に基づいて抵抗値を可変にする可変抵抗を含むと共に、前記外部端子より供給される前記トリミング電圧の設定レベルを予め所定のステップ幅に設定しておいてトリミングテスト時にこのステップ幅を半ステップ上または下にずらすことにより半ステップの精度で設定レベルを制御することを特徴とする請求項15に記載の半導体集積回路。

【請求項21】基準電圧と比較することにより内部電圧を生成し、ビットデータによって内部電圧値を微調整できる機能を有する半導体集積回路において、テスト時に内部電圧生成回路の出力ノードに外部から第1の電圧を供給し、内部電圧値と基準電圧の電圧比が前記第1の電圧と基準電圧の電圧比と最も近くなるようなビットデータを検知し、前記テスト時以外のビットデータにしたがって内部電圧を微調整する手段を備えることを特徴とする半導体集積回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源電圧のレベルをシフトさせた駆動電圧を生成する昇圧回路等の内部電源回路を内蔵する半導体集積回路に関する。さらに、本発明は、電圧トリミング機能を有する半導体集積回路に関する。

【0002】

【従来の技術】EEPROM(Electrically Erasable and Programmable Read Only Memory)やDRAM(Dynamic Random Access Memory)等の半導体メモリは一般に、内部電源電圧を昇圧して必要な駆動電圧を生成する昇圧電源回路を内蔵する。昇圧電源回路は、代表的には、チャージポンプ回路を用いた昇圧回路と、これを駆動するクロックを生成するオシレータと、昇圧回路から得られる駆動電圧を所定レベルに設定保持するべくオシレータを帰還制御するリミッタ回路とを備えて構成される。

【0003】このような半導体メモリのウェハ段階のダイソートテストにおいては、素子内部で使用される昇圧電源回路出力等の各種電圧のレベルが設計値通りであるか否かを測定し、書き込み、消去等の基本動作が可能であるか否かをテストする。ウェハ状態では、このような電圧テストができるように、外部端子に接続するために、通常はいくつかのモニタ用パッドが設けられている。

【0004】しかし、メモリチップがパッケージングされるときは、外部端子数の制限等から、多くのモニタ用パッドは外部端子にはボンディング接続されない。したがって、ストレス試験や信頼性試験等に基づく出荷前の不良サンプルの解析のためには、メモリチップを、モニタ用パッドにボンディング接続可能なパッケージにアセンブリ直して、内部電圧をモニタできる状態にすることをやっている。これは、不良サンプル解析の手間がかかるだけでなく、アセンブリ失敗により不良サンプルがなくなり、別の不良箇所が発生したりする。

【0005】以上のような背景から、昇圧電源回路等のリミッタ回路から得られる出力信号(電圧判定フラグ)をテスト時に外部端子であるI/O端子に転送出力できるようにしたテストモード機能が提案されている(特開平9-82895号公報)。これは、内部昇圧電源回路等がその電圧制御のためにリミッタ回路を備えていることを利用したものである。

【0006】

【発明が解決しようとする課題】しかし、リミッタ回路から得られる電圧判定フラグは、昇圧回路を帰還制御するための活性化信号である。例えば図18に示すように、電圧判定フラグFLGは、昇圧回路の動作開始前“L”であり、動作開始から出力電圧が所定レベルに達するまで“H”となり、所定レベルに達すると“L”になり、出力安定化後は“H”、“L”を繰り返すという論理信号となる。このため、オシロスコープ等による波形観察には適しているが、LSIテストによるテストには適さないという問題があった。したがって、手軽さや解析の早さの点から、LSIテストにより測定できる回路構成が望まれる。

【0007】本発明は、上記事情を考慮してなされたもので、内部電源回路の出力電圧状態を外部端子で簡便にモニタできるようにした半導体集積回路を提供することを第1の目的としている。

【0008】さらに本発明は、電圧モニタパッドに設定したい電圧を外部から与えてリミッタ回路のフィードバック系を非活性化させ、リミッタ回路の抵抗値を操作して、リミッタフラグの読み出しにより電圧トリミングを行なうことができるようにした電圧トリミング機能を有する半導体集積回路を提供することを第2の目的としている。

【0009】

【課題を解決するための手段】上記第1の目的を達成するため、本発明の第1の基本構成に係る半導体集積回路は、電源電圧のレベルをシフトした駆動電圧を生成する内部電源回路と、モード信号の入力により動作を開始して前記内部電源回路が出力する前記駆動電圧を監視し、この駆動電圧が所定値に達するまで第1論理レベルを維持し、前記駆動電圧が前記所定値に達してから第2論理レベルとなる活性化信号を出力することにより、前記内部電源回路を活性化制御するリミッタ回路と、前記リミッタ回路の動作開始後に前記活性化信号の第1論理レベルから第2論理レベルへの最初の変化を検出すると共に、この活性化信号の最初の変化が検出されてから前記リミッタ回路が動作している間は一定の論理レベルを保持するモニタ信号を出力するモニタ回路と、を備えることを特徴とする。

【0010】この第1の基本構成に係る半導体集積回路によれば、内部電源回路に対して、その出力安定化のタイミング後、一定の論理レベルとなるモニタ信号を出力するモニタ回路を付加している。テストモード時、このモニタ信号を外部端子に転送出力するようによれば、出力安定化後に“H”、“L”を繰り返すリミッタ回路の出力をそのままモニタする場合と異なり、LSIテストにより簡単に内部電源回路の出力を確認することが可能となる。

【0011】上記第1の基本構成に係る半導体集積回路において、前記モニタ回路はテストモード時に活性化され、前記モニタ信号は第1の外部端子に転送出力されるような第1の構成に係る半導体集積回路であっても良い。

【0012】上記第1の構成に係る半導体集積回路において、前記モニタ回路は、第2の外部端子から供給される外部電源電圧が与えられ、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を第3の外部端子から供給される基準電圧と比較して前記モニタ信号を出力するコンパレータと、このコンパレータから出力される前記モニタ信号を前記第1の外部端子に転送する転送ゲートと、を備える第2の構成であっても良い。

【0013】上記第2の構成に係る半導体集積回路において、前記第3の外部端子から供給される基準電圧は、前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であっても良い。

【0014】上記第2の構成に係る半導体集積回路は、前記第2の外部端子から前記コンパレータに外部電源電圧を供給する経路に、昇圧された電圧により駆動される転送ゲートが挿入されていることを特徴としても良い。上記第2の構成に係る半導体集積回路は、前記第3の外部端子から前記コンパレータに基準電圧を供給する経路に、外部電源電圧または内部で昇圧された電圧で駆動される転送ゲートが挿入されていることを特徴としても良い。

【0015】上記第1の構成に係る半導体集積回路において、前記モニタ回路は、第2の外部端子から供給される外部電源電圧が与えられ、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を前記外部電源電圧を分圧して得られる基準電圧と比較して前記モニタ信号を出力するコンパレータと、このコンパレータから出力される前記モニタ信号を前記第1の外部端子に転送する転送ゲートと、を備える第3の構成であっても良い。

【0016】上記第3の構成に係る半導体集積回路において、前記第2の外部端子から供給される外部電源電圧は、前記基準電圧が前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であることを特徴としても良い。

【0017】上記第3の構成に係る半導体集積回路は、前記第2の外部端子から前記コンパレータに外部電源電圧を供給する経路に、昇圧された電圧により駆動される転送ゲートが挿入されていることも良い。

【0018】上記第1の構成に係る半導体集積回路において、前記モニタ回路は、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を第3の外部端子から供給される基準電圧と比較してモニタ信号を出力するコンパレータと、このコンパレータから出力されるモニタ信号を前記第1の外部端子に転送する転送ゲートとを備える第4の構成であっても良い。

【0019】上記第4の構成に係る半導体集積回路において、前記第3の外部端子から供給される基準電圧は、前記監視ノードの監視すべき電圧値と交差するように時間と共にレベル遷移する電圧であっても良い。

【0020】上記第4の構成に係る半導体集積回路において、前記第3の外部端子から前記コンパレータに外部電源電圧を供給する経路に、外部電源電圧または内部で昇圧された電圧で駆動される転送ゲートが挿入されていても良い。

【0021】上記第1の構成に係る半導体集積回路において、前記モニタ回路は、動作開始直後の前記活性化信号の第1論理レベルへの切り替えを検知して保持する第1のラッチ回路と、動作開始後の前記活性化信号の最初の第2の論理レベルの切り替えを検知して保持する第2のラッチ回路と、これら第1および第2のラッチ回路の保持データの論理積により前記モニタ信号を得るゲート回路と、を備えていても良い。

【0022】上記第1の基本構成に係る半導体集積回路は、所定電圧を基準電圧と比較する比較部と、この比較部の出力に基づき内部電圧を生成する内部電圧生成部と、内部電圧ノードを抵抗分割により前記所定電圧に分割する抵抗分割部とを備える半導体集積回路であって、所望の電圧となるような内部抵抗値を設定するために、前記内部電圧生成部と前記抵抗分割部との接続点である第1ノードに接続された外部端子に外部から所望のトリミング電圧を供給し、比較器の出力による内部電圧生成部へのフィードバックを非活性化させ、比較器の出力である比較結果を検出することにより内部抵抗値を決定するテストモードを備えていても良い。このような構成は以下に説明する第2の基本構成を上記第1の基本構成に組み合わせた構成となっている。

【0023】上記第2の目的を達成するために、本発明の第2の基本構成に係る半導体集積回路は、所定電圧を基準電圧と比較する比較部と、この比較部の出力に基づき内部電圧を生成する内部電圧生成部と、内部電圧ノードを抵抗分割により前記所定電圧に分割する抵抗分割部とを備える半導体集積回路であって、所望の電圧となるような内部抵抗値を設定するために、前記内部電圧生成部と前記抵抗分割部との接続点である第1ノードに接続された外部端子に外部から所望のトリミング電圧を供給し、比較器の出力による内部電圧生成部へのフィードバックを非活性化させ、比較器の出力である比較結果を検出することにより内部抵抗値を決定するテストモードを備えることを特徴とする。

【0024】この第2の基本構成に係る半導体集積回路によれば、電圧モニタパッドに設定したい電圧を外部から与え、リミッタ回路のフィードバック系の非活性化、リミッタの抵抗値操作、リミッタフラグの読み出しにより電圧トリミングを行なうことができるようになる。

【0025】上記第2の基本構成に係る半導体集積回路は、チップ全体の基準電圧を生成する第1の基準電圧生成部をさらに備えていても良い。

【0026】上記第2の基本構成に係る半導体集積回路において、前記半導体集積回路は、チップ全体の基準電圧である第1の基準電圧が前記外部端子より供給される前記トリミング電圧よりも大きい場合に、前記第1の基準電圧をレベルシフトにより降圧させた第2の基準電圧を生成する第2の基準電圧生成回路をさらに備えても良い。

【0027】上記第2の基本構成に係る半導体集積回路において、前記内部電圧生成部は、前記内部電圧が電源電圧よりも大きいときに出力される活性化信号により動作するオシレータ回路と、前記オシレータ回路の出力するパルスを受けて昇圧して前記第1ノードに昇圧電圧を出力する昇圧回路と、テストモード時に前記外部端子から供給される所望の前記トリミング電圧により、前記比較部より出力される比較結果により前記オシレータ回路の活性化と非活性化との切替を制御する制御部と、を備えていても良い。

【0028】上記第2の基本構成に係る半導体集積回路において、前記内部電圧生成部は、前記内部電圧が電源電圧よりも大きいときに出力される活性化信号により動作するオシレータ回路と、前記オシレータ回路の出力するパルスを受けて昇圧して前記第1ノードに昇圧電圧を出力する昇圧回路と、テストモード時に前記外部端子から供給される所望の前記トリミング電圧により、前記比較部より出力される比較結果により前記昇圧回路の活性化と非活性化との切替を制御する制御部と、を備えていても良い。

【0029】上記第2の基本構成に係る半導体集積回路において、前記抵抗分割部はテストモード時に前記比較結果に基づいて抵抗値を可変にする可変抵抗を含むと共に、前記外部端子より供給される前記トリミング電圧の設定レベルを予め所定のステップ幅に設定しておいてトリミングテスト時にこのステップ幅を半ステップ上または下にずらすことにより半ステップの精度で設定レベルを制御するようにしても良い。

【0030】また、本発明の第3の基本構成に係る半導体集積回路は、基準電圧と比較することにより内部電圧を生成し、ビットデータによって内部電圧値を微調整できる機能を有する半導体集積回路において、テスト時に内部電圧生成回路の出力ノードに外部から第1の電圧を供給し、内部電圧値と基準電圧の電圧比が前記第1の電圧と基準電圧の電圧比と最も近くなるようなビットデータを検出し、前記テスト時以外のビットデータにしたがって内部電圧を微調整する手段を備えることを特徴としている。

【0031】この第3の基本構成に係る半導体集積回路によっても、に設定したい電圧を外部から与えてテストを行ない、テスト時以外のビットデータを読み出して内部電圧を微調整するような電圧トリミングを行なうことができる。

【0032】

【発明の実施の形態】以下、添付した図面を参照しながら、本発明の実施の形態について詳細に説明する。本明細書に開示された実施形態は、第1ないし第8実施形態が本発明の第1の基本構成に関連する具体的な開示であり、第9ないし第17実施形態が本発明の第2の基本構成に関連する具体的な開示である。

【0033】[第1実施形態]第1実施形態は、本発明の第1の基本構成における最も基本的な概念を含む実施形態であり、図1にその基本的な構成が示されている。図1に示される第1実施形態に係る半導体集積回路は第2ないし第8実施形態の上位概念を示すものである。図1において、第1実施形態に係る半導体集積回路10は、電源電圧のレベルをシフトした駆動電圧を生成する内部電源回路11と、モード信号の入力により動作を開始して内部電源回路11が出力する駆動電圧を監視し、この駆動電圧が所定値に達するまで第1論理レベルを維持し、駆動電圧が前記所定値に達してから第2論理レベルとなる活性化信号を出力することにより、内部電源回路11の活性化制御を行なうリミッタ回路12と、このリミッタ回路12の動作開始後にその活性化信号が第1論理レベルから第2論理レベルへと最初に変化したことを検出し、その後、リミッタ回路12が動作している間は一定の論理レベルを保持するモニタ信号を出力するモニタ回路13と、を備えている。

【0034】図1において、本発明の特徴はリミッタ回路12のみでなくモニタ回路13をも備えている点にあり、このモニタ回路13はモニタ信号を出力する第1の外部端子14と、外部からの電源電圧が供給される第2の外部端子15と、駆動電圧を監視するモニタ信号を出力する第1の外部端子14と、外部からの電源電圧が供給される第3の外部端子16と、を備え、さらに、第2の外部端子15から供給するための監視ノードの電圧と比較する基準電圧が供給される第3の外部端子16と、を備え、さらに、第2の外部端子15から供給される外部電源電圧が与えられ、テストモード時に活性化されて前記内部電源回路の駆動電圧を監視するための監視ノードの電圧を第3の外部端子16から供給される基準電圧と比較してモニタ信号を出力するコンパレータ17と、このコンパレータ17から出力される前記モニタ信号を前記第1の外部端子14に転送する転送ゲート18と、を備える。リミッタ回路12およびモニタ回路13の詳細な構成については、以下に説明する第2ないし第8実施形態により具体的に説明する。

【0035】このような構成を有する第1実施形態に係る半導体集積回路10は、図2に示されるようなEEPROMに搭載されている。図2について、本発明が適用されるEEPROMの構成を説明する。図2において、メモリアルレイ1は、例えばNAND型或いはNOR型に不揮発性メモリアルが配置されて構成される。メモリアルレイ1のワード線を選択駆動するのがロウデコーダ2であり、ビット線選択を行なうのがカラムデコーダ5とカラムゲート4である。読み出し時、メモリアルレイ1のビット線データはセンスアンプ3により検知増幅され、カラムゲート4により選択されてI/Oバッファ6に転送される。書き込み時は、外部からの書き込みデータがI/Oバッファ6からカラムゲート4を介し、センスアンプ3を介して、ビット線に与えられる。

【0036】アドレス信号Add. 各種制御信号もI/Oバッファ6に取り込まれ、アドレス信号はアドレスバッファ7に転送保持され、制御信号は制御回路8に転送される。制御回路8は、制御信号により設定される動作モードに応じて、アドレスバッファ7を制御してロウアドレス、カラムアドレスをそれぞれロウデコーダ2、カラムデコーダ5に転送し、動作モードに応じて昇圧電源回路9を制御し、自動書き込みや自動消去のシーケンス制御を行なう。昇圧電源回路9は、メモリアルレイ1の各部に与えられる、電源電圧を昇圧した書き込み電圧、消去電圧、中間電圧等を生成するものである。この昇圧電源回路9に含まれる1つの電源回路が、図1に示された半導体集積回路10に相当している。

【0037】[第2実施形態]次に、本発明のより詳細な構成を示す第2実施形態に係る半導体集積回路について、図3ないし図10を用いて説明する。なお、図2に示すEEPROMはこの第2実施形態についても適用あるものとする。

【0038】図3は、昇圧電源回路9に含まれる1つの電源回路として、高電圧VPPを生成する電源回路の構成を示している。チャージポンプ回路により構成された昇圧回路21と、これを駆動するクロックを生成するオシレータ22が電源回路本体を構成する。昇圧回路21の出力端子には、その出力電圧を監視して所定レベルに保持するためのリミッタ回路23が設けられている。リミッタ回路23は、昇圧回路の動作状態に出力電圧の状態に応じて電圧判定フラグFLGを出力する。この電圧判定フラグFLGは、オシレータ22の活性、非活性を制御する活性化信号となる。

【0039】リミッタ回路23が出力する電圧判定フラグFLGの状態をチップ外部で監視できるようにするために、リミッタ回路23の所定ノードの電圧を検知するモニタ回路24が設けられている。このモニタ回路24が出力するモニタ信号の端子は、外部端子にボンディング接続されるパッドPAD1に接続されている。更にこの実施の形態では、モニタ回路24に対して外部電源電圧Vextpwと、外部基準電圧Vextrefを供給する端子がそれぞれパッドPAD2、PAD3に接続されている。

【0040】昇圧回路21には、図4に示す2相駆動のチャージポンプ回路、或いは図5に示す4相駆動のチャージポンプ回路が用いられる。これらの回路は公知のものであり、詳細な説明は省く。図4に示す昇圧回路は、オシレータ22から発生される図6に示す2相のクロックφ1、φ2により、また図5に示す昇圧回路は図7に示す4相のクロックφ1～φ4により駆動されて、電源電圧VCCを昇圧した高電圧VPPを生成する。

【0041】図8は、リミッタ回路23とモニタ回路24の構成を示している。リミッタ回路23は、昇圧回路21の出力端子であるVPP端子の電圧を分圧する抵抗R1、R2による抵抗分圧回路を有する。分圧回路の一端は、活性化NMOSTランジスタQN1を介して接地されている。このNMOSTランジスタQN1は、制御回路8から発生されるモード信号MODEにより制御される。

【0042】抵抗R1、R2の接続ノードN1が電圧監視ノードであり、この電圧が基準電圧Vrefを超えたか否かを判定するためにコンパレータCMP1が設けられている。すなわち監視ノードN1の電圧が基準電圧Vrefになったときに書き込み電圧VPPが所望の値になるように、抵抗R1、R2と基準電圧Vrefが設定されている。コンパレータCMP1の出力は、NORゲートG1の1つの入力端子に入る。NORゲートG1のもう1つの入力端子には、モード信号MODEがインバータI1により反転されて入る。このNORゲートG1の出力端子が電圧判定フラグFLGの出力端子となる。

【0043】このリミッタ回路23の動作については、以下の通りである。モード信号MODEが“L”の間、リミッタ回路23は非活性に保持される。このとき、電圧判定フラグは、FLG=“L”である。モード信号MODEが“H”になると、電圧判定フラグがFLG=“H”になり、オシレータ22が駆動されて昇圧動作が開始される。さらに、昇圧出力が一定レベルに達すると、監視ノードN1の電圧が基準電圧Vrefを超え、これにより、コンパレータCMP1の出力が“H”になる。この結果、NORゲートG1の出力、すなわち電圧判定フラグがFLG=“L”になる。

【0044】電圧判定フラグFLGが“L”になる、オシレータ22は非活性となり、昇圧動作を停止する。そして昇圧回路21の出力レベルが下がり、監視ノードN1の電圧が基準電圧Vref以下になると、コンパレータCMP1の出力は“L”、したがって電圧判定フラグFLGは再び“H”になる。以下、モード信号MODEが“H”の動作状態にある期間、電圧判定フラグFLGは“H”、“L”を繰り返して、高電圧VPPは所定のレベルを保持する。

【0045】モニタ回路24は、リミッタ回路23内の監視ノードN1の電圧レベルを検知して、高電圧VPPが安定化したことを示すモニタ信号を出すためのコンパレータCMP2を有する。このコンパレータCMP2の電源端子および基準入力端子には、外部電源電圧Vextpwおよび外部基準電圧Vextrefが用いられる。これらの外部電源電圧Vextpwおよび外部基準電圧Vextrefはそれぞれ、パッドPAD2、PAD3からNMOSTランジスタQN2、QN3からなる転送ゲートを介して供給される。

【0046】NMOSTランジスタQN2を駆動するために、この実施の形態では、ブート回路241が設けられている。すなわちPAD2から供給される入力電圧Vinをブート回路241により昇圧した電圧VbtによってNMOSTランジスタQN2のゲートが制御される。また外部基準電圧Vextrefを転送するNMOSTランジスタQN2のゲートは、パッドPAD2から入力される外部電源電圧が用いられる。

【0047】コンパレータCMP2の接地側端子には、テスト信号TESTにより制御される活性化用NMOSTランジスタQN4が挿入されている。テスト信号TESTはテスト動作のときに制御回路8から発生されるものである。コンパレータCMP2の出力端子は、PMOSTランジスタQP1とNMOSTランジスタQN5の対により構成された転送ゲートTGを介して、パッドPAD1に接続される。この転送ゲートTGもテスト信号TESTにより制御される。

【0048】この第2実施形態において、モニタ信号が出力されるパッドPAD1としては、複数のデータ入出力端子(I/O端子)の1つに接続されるパッドが用いられる。また、外部電源電圧Vextpwおよび外部基準電圧Vextrefが与えられるパッドPAD2、PAD3に接続されるパッドが用いられる。

3としては、NAND型EEPROMの場合であれば、オプション端子、レディ/ビジー(R/B)端子、書き込みプロテクト(WP)端子等のパッドが用いられる。これらの端子は“L”或いは“H”に固定される必要がある。しかし、基本動作モードが確定した状態では、これらの端子につながる内部端子の状態がラッチ回路に記憶されていれば、テストモードにおいては他の制御信号の入力端子として利用することができる。すなわち格別のオプション端子が用意されていないパッケージ品であっても、これらの端子を擬似的なオプション端子として利用することができる。

【0049】モニタ回路24におけるブート回路241は例えば、図9のように構成される。このブート回路241はよく知られたもので、入力端子Ninの電圧Vinを、クロックCLKとモード信号MODEにより制御されて、NMOSTランジスタQN13, QN14, QN15により、ブート電圧Vbtの出力端子Noutに転送する動作を行なうものである。すなわち、モード信号MODEが“H”になると、これがDタイプのNMOSTランジスタQN11, QN12を介して出力端子Noutに転送される。これによりNMOSTランジスタQN13がオンになる。

【0050】モード信号MODEにより同時にANDゲートG2が活性化されて、クロックCLKがキャパシタC11, C12に逆相で転送される。キャパシタC11, C12と、ダイオード接続されたNMOSTランジスタQN14, QN15はチャージポンプ回路を構成しており、クロックCLKの駆動によるチャージポンプ動作で、入力端子Ninの電圧が出力端子Noutに転送される。入力端子Ninと出力端子Noutの間にダイオード接続されたNMOSTランジスタQN16, QN17は、出力端子Noutの電圧レベルを制限するためのもので、ブート電圧は、 $V_{bt} = V_{in} + 2V_{th}$ (V_{th} は、NMOSTランジスタQN16QN17のしきい値電圧)まで上昇する。

【0051】このようなブート回路241を用いてNMOSTランジスタQN2のゲートを制御することにより、パッドPAD2から供給される外部電源電圧Vextpwは、NMOSTランジスタQN2でレベル低下することなく、コンパレータCMP2の電源端子に供給されることになる。

【0052】この第2実施形態において、テストモードでのモニタ信号出力の動作を次に説明する。図8に示すリミッタ回路23は、前述のようにモード信号MODEにより活性化されて、高電圧VPPが所定レベルに達すると、電圧判定フラグFLGが“L”になり、その後動作モード信号MODEが“H”の間、電圧フラグFLGは“H”、“L”を繰り返すことになる。監視ノードN1の電圧もこれに応じて、高電圧VPPを安定化させた後、図10に示すようにほぼ基準電圧Vrefの一定レベルで信号することになる。

【0053】これに対して、モニタ回路24には、制御回路8からテスト信号TEST=“H”が与えられ、パッドPAD2, PAD3からはそれぞれ、外部電源電圧Vextpwと外部基準電圧Vextrefが与えられる。このとき、外部基準電圧Vextrefとしては、図10に示すように、レベルが監視ノードN1の電圧レベルより低いところから、監視ノードN1の電圧レベルと交差してシフトするような、時間的に変化する電圧が用いられる。

【0054】そうすると、図10に示すように、外部基準電圧Vextrefが監視ノードN1のレベルと交差するタイミングでコンパレータCMP2の出力は“L”となる。このコンパレータCMP2の出力がモニタ信号として、転送ゲートTGを介してパッドPAD1に出力される。外部基準電圧Vextrefをこのように時間的にレベルシフトする電圧とすることによって、監視ノードN1の僅かのレベル振動に拘わらず、出力されるモニタ信号は、固定の論理レベル(この実施の形態の場合“L”)となる。したがって、このモニタ信号をLSIテストにより読み取ることで、昇圧電源回路から高電圧VPPが出力されていることを簡単かつ確実に知ることができる。

【0055】またこのテストモードにおいて、モニタ信号が出力されるタイミングでの外部基準電圧Vextrefは、リミッタ回路23に与えられる内部基準電圧Vrefにほぼ等しい。したがって、外部基準電圧Vextrefをチェックすることにより、内部の基準電圧Vrefを確認することもできる。更に、外部電源電圧Vextpwと外部基準電圧Vextrefを種々変化させてコンパレータCMP2の動作を見ることにより、コンパレータCMP2の回路動作テストも可能になる。特にコンパレータCMP2が正常動作する最低電源電圧レベルVCminをチェックするといった測定が可能である。

【0056】[第3実施形態]図11は、本発明の第3実施形態によるリミッタ回路23とモニタ回路24を示している。リミッタ回路23は、上述した第2実施形態のもと同じであり、モニタ回路24もその基本構成は第2実施形態のもと同じである。この第3実施形態では、外部電源電圧Vextpwを供給する転送ゲートNMOSTランジスタQN2のゲートの制御に、ブート回路を用いず、内部で発生させる適当な昇圧電圧Vmを用いている。

【0057】この場合昇圧電圧Vmは、供給される外部電源電圧Vextpwに対して、NMOSTランジスタQN2のしきい値電圧よりも高いものとする。これにより、外部電源電圧Vextpwはレベル低下することなく、コンパレータCMP2に与えられる。外部基準電圧Vextrefは、先の第2実施形態と同様に時間的にレベルシフトする電圧とする。これにより、先の第2実施形態に比べて簡単な回路構成で、先の第2実施形態と同様に、論理レベル変動のないモニタ信号を得ることができる。リミッタ回路23の基準電圧Vrefのテスト等については、上述した第2実施形態と同様に、内部回路のテストも可能である。

【0058】[第4実施形態]図12は、本発明の第4実施形態による半導体集積回路におけるリミッタ回路23とモニタ回路24を示している。リミッタ回路23は先の第2実施形態と同じであり、モニタ回路24もその基本構成は先の第2実施形態と同じである。ただし、この第4実施形態においては、テスト用端子として1つのパッドPAD2しか用意できない場合を想定している。そこで、パッドPAD2からは、第2実施形態に係る半導体集積回路と同様に、外部電源電圧VextpwをコンパレータCMP2に供給し、外部基準電圧Vextrefは、この外部電源電圧Vextpwを降圧して生成されている。

【0059】すなわち、転送ゲートNMOSTランジスタQN2のソース端子と接地端子の間に抵抗R3, R4と活性化用NMOSTランジスタQN6を直列接続した分圧回路を構成して、抵抗R3, R4の接続ノードに必要な外部基準電圧Vextrefが得られるようにしている。活性化NMOSTランジスタQN6のゲートはテスト信号TESTにより制御する。

【0060】コンパレータCMP2のオペアンプの感度特性を考慮すると、その電源電圧と基準電圧は、一定の比率を保てば問題ない。この第4実施形態の場合のモニタ回路24の動作波形を図14に示す。外部電源電圧Vextpwは、時間的にレベルシフトする電圧として供給する。これより外部基準電圧Vextrefも、外部電源電圧Vextpwに依存してレベルシフトする電圧となる。そしてこの基準電圧Vextrefが、第2実施形態におけると同様に、昇圧電源回路安定化後の監視ノードN1のレベルと交差するように、抵抗R3, R4の値が設定される。

【0061】これにより、第2および第3実施形態と同様に、パッドPAD1にモニタ信号を出力することができる。この第4実施形態によれば、テストのために用意できるパッドが少ない場合にも同様のテストが可能になる。また外部基準電圧Vextrefを生成する抵抗分圧回路には活性化NMOSTランジスタQN6を挿入してテスト時のみ電流が流れるようにしており、無用な消費電力が抑えられる。リミッタ回路23の基準電圧Vrefのテスト等の内部回路のテストが可能であるとは、上述した第2および第3実施形態と同様である。

【0062】[第5実施形態]図13は、本発明の第5実施形態に係るリミッタ回路23とモニタ回路24を示している。この第5実施形態が上述した第4実施形態と異なる点は、パッドPAD2から外部電源電圧Vextpwを供給する転送ゲートとしてのNMOSTランジ

スタQN2のゲートを、ブート回路を用いず、図11の第3実施形態と同様に、内部で生成される適当な昇圧電圧Vmを用いていることである。この場合も、昇圧電圧Vmは、供給される外部電源電圧Vextpwに対して、NMOSTランジスタQN2のしきい値電圧より高いものとする。

【0063】図12に示した第4実施形態と同様に、外部電源電圧Vextpwは、図14に示すように、時間的にレベルシフトする電圧として供給される。これより外部基準電圧Vextrefも、外部電源電圧Vextpwに依存してレベルシフトする電圧となる。これにより、第4実施形態と同様のモニタ信号を出力することができる。したがって、第4実施形態と同様の効果が得られるばかりでなく、回路はより簡単な構成となる。

【0064】第6実施形態図15は、第6実施形態におけるモニタ回路24の構成である。リミッタ回路については上述した第2ないし第5実施形態と同様の構成であるので省略した。この第6実施形態も、テスト用として用意できるパッドがPAD3の1つのみの場合であるが、この第6実施形態ではこの1つのパッドPAD3を外部基準電圧Vextrefの供給端子として用いている。この外部基準電圧VextrefをコンパレータCMP2に供給するNMOSTランジスタQN3のゲートは、第2実施形態におけるものと同様のブート回路241を用いて昇圧された電圧Vbtにより制御する。この昇圧電圧Vbtを適用することにより、外部基準電圧Vextrefをレベル低下させることなくコンパレータCMP2の基準端子に与えることができる。

【0065】コンパレータCMP2の電源端子には、内部で発生される適当な昇圧電圧Vmが与えられる。この第6実施形態の場合、外部基準電圧Vextrefは、第2実施形態の場合と同様、図10に示すように、時間的にレベルシフトする電圧としてパッドPAD3から与えられる。昇圧電圧Vmは、図14における外部電源でVextpwと同程度のものとする。これにより、第2実施形態と同様の動作で、かつ少ないパッド数で昇圧回路のモニタ信号を出力することができる。

【0066】第7実施形態図16は、図15に示された第6実施形態に係る半導体集積回路の構成を変形した第7実施形態のモニタ回路24である。この実施形態では、コンパレータCMP2に与える電源電圧として内部の適当な昇圧電圧Vm2を用い、パッドPAD3からコンパレータCMP2に外部基準電圧Vextrefを与えるための転送ゲートランジスタQN3のゲートにも、内部で昇圧されて適当な昇圧電圧Vm1を用いている。

【0067】昇圧電圧Vm2は、図14における外部電源電圧Vextpwと同程度のものとする。昇圧電圧Vm1は外部基準電圧Vextrefをレベル低下なくコンパレータCMP2の基準端子に与えることができる値とする。これらの昇圧電圧Vm1、Vm2は同じもよいし、異なる値でもよい。この第7実施形態によっても第2実施形態と同様の動作により、かつ少ないパッド数で昇圧回路のモニタ信号を出力することができる。

【0068】第8実施形態図17は、第8実施形態によるリミッタ回路23とモニタ回路24の構成を示している。リミッタ回路23はこれまでの実施の形態と同じであるが、モニタ回路24の構成は、これまでの実施の形態とは大きく異なる。すなわちこの第8実施形態では、モニタ回路24は、電圧供給用のパッドを用いることなく、上述した第1ないし第7実施形態と同様のモニタ信号を出力する。

【0069】すなわち、この第8実施形態におけるモニタ回路24は、リミッタ回路23の動作開始直後の電圧判定フラグFLGの“H”レベルへの切り替わりを検知して保持するラッチ回路242と、その電圧判定フラグFLGの、リミッタ回路23の動作開始後最初の“L”レベルへの切り替わりを検知して保持するラッチ回路243とが設けられる。これらのラッチ回路242、243の保持データは、NANDゲートG16とインバータI12からなるゲート回路244により論理積がとられて、転送ゲートTGに供給される。

【0070】図18を用いてこの実施の形態の動作を説明する。モード信号MODEが時刻t0で立ち上がりリミッタ回路23が動作開始し、電圧判定フラグFLG=“H”となって昇圧動作が開始される。この電圧判定フラグFLGの立ち上がりによりラッチ回路242のノードN2に“H”が保持される。昇圧電圧VPPが所定のレベルに達すると、時刻t1で電圧判定フラグFLGは“L”になり、以後電圧判定フラグFLGは“H”、“L”を繰り返す。時刻t1で電圧判定フラグFLGが“L”になると、インバータI11とNORゲートG13によりラッチ回路243に“H”が入力され、そのノードN3に“H”が保持される。

【0071】このラッチ回路242、243の状態は、電圧判定フラグFLGのその後の、“H”、“L”の繰り返しに拘わらず、リセット信号RESETが入るまで維持される。そして、ノードN2およびN3が共に“H”となる時刻t1で、ゲート回路244によりこれらの積がとられて、転送ゲートTGを介してパッドPAD1に“H”固定のモニタ信号が発生される。

【0072】したがってこの第8実施形態によれば、電圧供給パッドを1つも用いることなく、先の各実施の形態と同様にLSIテストでのテストが容易な電源安定化のモニタ信号を生成することができる。

【0073】本発明は上記実施形態の構成のみに限定されることなく、例えば、第1ないし第8実施形態では、EEPROMの昇圧電源回路について説明したが、DRAM等、内部昇圧電源回路を用いる他の各種半導体集積回路に同様に適用することができる。また、異なる実施形態としては、昇圧電源回路を説明したが、選択的に活性化されて内部で降圧電源電圧を生成する内部電源回路についても同様に本発明を適用することが可能である。

【0074】第9ないし第19実施形態これ以降に説明する第9ないし第19実施形態は、電圧トリミング機能を有する半導体集積回路に関する実施形態である。この電圧トリミング機能を有する半導体集積回路は、外部端子としての電圧モニタパッドに設定したい電圧を外部より供給し、リミッタ回路のフィードバック系を非活性化して、リミッタ回路の抵抗値を操作し、リミッタフラグを読み出すことにより電圧トリミングを行なうものである。この明細書における「電圧トリミング (trimming)」とは、回路のばらつきによって所望のレベルからずれた電圧を、外部から供給された所望の電圧を使用し抵抗値を可変とすることによって、ずれた分を補正し所望の電圧となるように微調整するという意味で用いている。

【0075】第9実施形態図19に示す第9実施形態に係る半導体集積回路は、本発明の第2の基本構成の総括的な概念を纏めた基本的な実施形態である。図19において、第9実施形態に係る半導体集積回路30は、所定電圧を基準電圧と比較する比較部31と、この比較部31の出力に基づき内部電圧を生成する内部電圧生成部32と、内部電圧ノード37を抵抗分割により前記所定電圧に分圧する抵抗分割部38と、を基本的に備えている。半導体集積回路30は、所望の電圧となるような内部抵抗値を設定するために、前記内部電圧生成部32と抵抗分割部38との接続点である第1ノード34に接続された外部端子35に外部から所望のトリミング電圧を供給し、前記比較部31の出力による内部電圧生成部32へのフィードバック部33を非活性化させて、前記比較部31の出力である比較結果を検出することにより内部抵抗値を決定するテストモードを備えている。

【0076】この半導体集積回路30は、さらに内部電圧リミッタ回路40を備えており、この内部電圧リミッタ回路40は、前記フィードバック部33と前記内部電圧生成部32との接続点である第1ノード34に接続されてテスト信号が供給されたテストモード時に所望のトリミング電圧を外部から供給するための外部端子35と、テストモード時に前記第1ノード34に供給された前記トリミング電圧を抵抗素子の直列体36により抵抗分割し、その接続点である第2ノード37の電位を前記基準電圧と比較するための前記所定電圧として前記比較部31にフィードバックする抵抗分割部33と、テストモード時に前記第1ノード34に前記外部端子35から

所望の前記トリミング電圧が供給されているときに、前記内部電圧生成部32を非活性化させてフィードバックを停止し、前記比較部の比較結果を検出することにより内部抵抗値を設定するための抵抗値ビットデータを判定する判定部39と、を備える。
 【0077】図19において、実線で示す構成要素および電圧信号の供給経路は第10、第11、第14ないし第17実施形態に係る半導体集積回路の構成を示し、点線で示す構成要素は第12および第18実施形態に係る半導体集積回路の構成を示している。以下、それぞれの実施形態毎に詳細に説明する。

【0078】[第10実施形態]図20ないし図25を参照しながら、本発明の第10実施形態に係る半導体集積回路について説明する。第10実施形態は、本発明の第2の基本構成における最も基本的な具体例であり、基準電圧Vrefと内部電圧Vgenとの関係が「Vref<Vgen」となる場合の回路を含んだ実施形態である。

【0079】電圧トリミング回路41は、基準電圧Vrefを生成する基準電圧生成回路42と、この基準電圧Vrefを比較基準電圧として用いることにより内部電圧Vgenを生成する内部電圧Vgenリミッタ回路40と、リミッタ回路40の外部端子35としての「Vgen PAD」と、の3つの構成要素により構成されている。前記基準電圧生成回路42の代表的な回路は、図21に示すようなBGR(Band Gap Reference)回路である。このBGR回路は、抵抗R1とダイオードD1の放電パスと、抵抗R2、R3と並列接続されたN個のダイオードD2の放電パスと、が並列に設けられており、ノードVaとノードVbとが同じ電位となるようなフィードバック回路により構成されている。したがって、 $I1 \cdot R1 = I2 \cdot R2Va = kT/q \cdot \ln(I1/Is)$
 $Vb = I2 \cdot R3 + kT/q \cdot \ln\{I2/(N \cdot Is)\}$

よりVref=Va+R2/R3・kT/q・ln(N・R2/R1)
 の式を導くことができる。この式の第1項と第2項の温度特性が補償されるように各値を設定することにより、温度依存性のない正確な基準電圧Vrefを生成することができる。

【0080】リミッタ回路40は、図22に示すように、BGR回路42より供給される基準電圧Vrefと内部抵抗分圧されたノード37の電圧Vmonとを比較する比較器(OPアンプ)よりなる比較部31と、前記比較器の出力がゲートに入力されたPMOS43および電圧トリミングテスト時の制御信号TESTによりオフされる第1のスイッチ44よりなる内部電圧生成部32と、前記制御信号によりオンされる第2のスイッチ45と、比較部31の比較出力を波形整形してフラグとして出力する波形整形回路46と、このフラグを含む制御信号に基づいて直列抵抗体36を構成する内部可変抵抗の抵抗値を単純に増加または減少させるように変化させる抵抗制御回路47と、を備えている。なお、この第10実施形態においては、抵抗制御回路47は可変抵抗と制御回路39とを含み、前記ノード37はRS抵抗とRO抵抗との接続点であり、PMOS(M1)43と可変抵抗との接続点であるノード34に電圧トリミング用の外部端子35としてのパッド「Vgen PAD」からトリミング電圧が供給される。

【0081】このような基本構成に基づく第10実施形態に係る電圧トリミング機能付き半導体集積回路の動作について説明する。まず、図21に示す基準電圧生成回路42が、チップ全体の内部基準電圧Vrefを生成する。この基準電圧生成回路42の代表的な回路は上述のBGR(Back Gap Reference)回路である。基準電圧Vrefは、内部電圧Vgenのリミッタ回路40における比較基準電圧として用いられ、通常の動作においては電源電圧は抵抗分圧された第2ノード37の電圧Vmonと基準電圧VrefがOPアンプよりなる比較部31で比較され、フィードバックされることにより、Vgen=Vref×(1+RS/RO)の式により表される内部電圧Vgenが生成される。

【0082】電圧トリミングテスト時には制御信号TESTがHighになり、第1のスイッチ44としてのリミッタの電流パスのPMOS(SW1)がオフし、フラグ信号の出力回路への第2のスイッチ45としてのPMOS(SW2)がオンする。また、このテストモード時には上記動作と同時に、外部端子35としての「Vgen PAD」に設定したいトリミング電圧を印加する。直列抵抗体36を構成する可変抵抗としての抵抗RSの抵抗値を変化させていくと、フラグ信号FLGのロジックが切り替わる。このときの変換の過程は、図25の抵抗制御回路の波形に示されている。また、可変方向は単調増加する方向か単調減少する方向の何れかにより行なわれる。フラグ信号FLGのロジックが切り替わったときの抵抗値を記憶する。

【0083】図23(b)(c)には(a)に示す可変抵抗RSの具体的な構成が示されている。可変抵抗RSは、図23(b)に示すように、並列接続された複数の抵抗R1、R2、R3、…Riと各抵抗にそれぞれ直列にソース・ドレイン接続された複数のトランジスタとより構成しても良いし、図23(c)に示すように、直列接続された複数の抵抗R1、R2、R3、…Riと各抵抗のそれぞれの接続点に並列接続された複数のトランジスタから構成しても良い。

【0084】なお、図23(a)に示すような可変抵抗は、図23(b)(c)にそれぞれ示すような抵抗とトランジスタとの組み合わせ接続により構成され、抵抗R1からRiまでiビットの抵抗値ビットデータによる制御信号によって、デジタル的に抵抗値を可変する。このためフラグ信号を変化した時、R1～Riがどのような設定かを記憶すればデジタルデータとして記憶できる。

【0085】次に、外部端子35よりトリミング電圧を供給してトリミングテストを行なう場合について図24を用いて説明する。図24において、図22の制御回路39は、リセット信号RST、クロック信号CLK、テスト信号TESTによって制御され、クロック信号によってカウントアップして抵抗値ビットデータR1～Riを出力するカウンタ48と、カウンタ48の出力する抵抗値ビットデータR1～Riを波形整形回路46の出力するフラグ信号FLGにより判定する判定器49と、判定器49の判定した抵抗値ビットデータを記憶する内部記憶手段としてのレジスタ50と、を備えている。

【0086】図25の最上段は電圧安定のために十分に長い所定のクロック期間を有するクロック信号CLKの波形が示されており、中段には抵抗値R1～Riのデータが示されており、最下段にフラグ信号FLGの波形が示されている。図25に示すようにフラグ信号FLGが立ち上がったときの抵抗値R3の抵抗値ビットデータが、図24に示すレジスタ50に記憶されることになる。

【0087】カウンタ48の出力する抵抗値ビットデータR1～Riとフラグ信号FLGにより判定器49が判定したデータとの関係は図25に示されている。電圧安定のために数10μs以上の十分に長いクロック信号CLKにより抵抗値ビットデータがカウントアップされ、順次出力される。出力された抵抗値ビットデータは、判定器49でフラグ信号FLGのロジックが切り替わったことを検知して、レジスタ50側に出力されて記憶される。

【0088】トリミングテスト後に可変抵抗を記憶した抵抗値ビットデータに設定すれば、通常動作時もVgenノードに外部から与えた電圧に近い電圧が出力されることになる。また、PMOS(M1)以外の回路素子は全く同じ回路でレベル検知をするため、このトリミングテスト方法により、基準電圧回路系、リミッタ回路系全てのばらつきを含めた形でトリミングできるので、本発明に係る半導体集積回路のトリミング機能によって基準電圧回路系やリミッタ回路系の電圧にばらつきが生じている状態であっても、所定の電圧に設定できる。

【0089】また、フラグ信号FLGのロジックが切り替わったときを検知して可変抵抗の抵抗値ビットデータをチップ内部の動作で記憶することができるので、多数個チップによる同時トリミングテスト動作が可能になり、テスト時間の短縮化につながる。

【0090】[第11実施形態]本発明は、Vgenの抵抗分圧ノードVmonとVrefとの比較を行なうので、かならずこの第10実施形態

のように、 $V_{gen} > V_{mon}$ でなくてはならない。このため、 V_{ref} と V_{gen} の電圧値が同じである場合や、 $V_{gen} < V_{ref}$ である場合には、 $V_{ref} < V_{gen2}$ となるような第2の基準電圧 V_{ref2} を生成しなくてはならない。このため、 $V_{gen} < V_{ref}$ の場合においては、以下に説明する第11実施形態のように V_{ref} を V_{ref2} ($V_{ref2} < V_{gen} < V_{ref}$)へとレベルシフトさせるためのレベルシフト回路が設けられている。

【0091】本発明の第11実施形態に係る集積回路装置について図26および図27を用いて説明する。図26は、第11実施形態の集積回路の回路構成を示すブロック図であり、図27は内部電圧 V_{gen} のリミッタ回路の詳細な構成を示す回路ブロック図である。第11実施形態が第10実施形態と異なる点は、図26に示すように、第1の基準信号 V_{ref} から第2の基準信号 V_{ref2} を生成するためのレベルシフト回路51が設けられている点と、内部電圧 V_{gen} リミッタ回路40に供給される比較電圧が第1の基準電圧 V_{ref} から第2の基準電圧 V_{ref2} となっている点の2つである。その他の構成は第10実施形態の半導体集積回路と全く同一である。

【0092】上述のように、この第11実施形態は、内部電圧 V_{gen} が基準電圧 V_{ref} に対して低い場合の実施形態である。このような場合、図26に示すように、電圧トリミング回路40は、第1の基準電圧 V_{ref} を生成する基準電圧生成回路42と、この第1の基準電圧 V_{ref} に基づいて第2の基準電圧 V_{ref2} を生成するレベルシフト回路51と、この第2の基準電圧 V_{ref2} を比較基準電圧として用いることにより内部電圧 V_{gen} を生成する内部電圧 V_{gen} リミッタ回路40と、の3つの構成要素により構成されている。リミッタ回路40には外部端子35としての「 V_{gen} PAD」が設けられている。

【0093】基準電圧生成回路42は、図24を用いて説明した第10実施形態の半導体集積回路におけるものと同一構成のBGR回路を適用することができる。レベルシフト回路51は第1の基準電圧 V_{ref} と内部電圧とを比較する比較器52と、接地ノードと電源ノード間に直列に接続されたPMOS53と、抵抗素子54から構成され、PMOS53と抵抗素子54との接続点のノード電圧が比較器52の比較用の入力となっている。抵抗素子54はノード56により2つに分割されることで、第2の基準電圧 V_{ref2} が生成される。この第2の基準電圧 V_{ref2} は、リミッタ回路40に供給される。

【0094】リミッタ回路40の構成は図27に示されているが、入力される基準電圧が図26により生成された第2の基準電圧 V_{ref2} であること以外は、図22に示した第10実施形態におけるリミッタ回路40と全く同一の構成であるので、同一符号を付して重複説明を省略する。

【0095】第11実施形態に係る電圧トリミング機能付き半導体集積回路の動作についても、特にリミッタ回路40の動作は第10実施形態の半導体集積回路と全く同じであるので重複説明を省略する。ただし、比較部31を構成するOPアンプに入力される基準電圧が、降圧された第2の基準電圧 V_{ref2} である。このとき、降圧する理由については、上述したように、本発明が「 $V_{gen} > V_{mon}$ 」の関係を満たすように、 V_{ref} と V_{gen} との電圧値が同じ大きさであったり、「 $V_{gen} < V_{ref}$ 」となる第11実施形態のような場合には「 $V_{ref2} < V_{gen}$ 」となるような第2の基準電圧 V_{ref2} を生成しなくてはならない。このため、図26を用いて説明したレベルシフト回路51が設けられ、「 $V_{gen} < V_{ref}$ 」の場合の基準電圧 V_{ref} を第2の基準電圧 V_{ref2} ($V_{ref2} < V_{gen} < V_{ref}$)にレベルシフトしている。

【0096】降圧された第2の基準電圧 V_{ref2} は、内部電圧 V_{gen} のリミッタ回路40における比較基準電圧として用いられ、通常の動作においては電源電圧は抵抗分圧されたノード37の電圧 V_{mon} と第2の基準電圧 V_{ref2} が比較器31のOPアンプで比較され、フィードバックされることにより、 $V_{gen} = V_{ref2} \times (1 + R_S/R_O)$ の式により表される内部電圧 V_{gen} が生成される。

【0097】電圧トリミングテスト時には制御信号TESTがHighになり、第1のスイッチ44としてのリミッタの電流パスのPMOS (SW1) がオフし、フラグ信号の出力回路への第2のスイッチ45としてのPMOS (SW2) がオンする。また、このテストモード時には上記動作と同時に、外部端子35としての「 V_{gen} PAD」に設定したい電圧を印加する。可変抵抗36としての抵抗 R_S の抵抗値を変化させていくと、フラグ信号FLGのロジックが切り替わる。このときの可変の動作過程は、図25の抵抗制御回路の波形に示されている。また、抵抗値の可変方向は単調増加する方向か単調減少する方向の何れかにより行なわれる。フラグ信号のロジックが切り替わったときの抵抗値を記憶する。

【0098】[第12実施形態] 上述した第10および第11実施形態においては、電源電圧VCCと内部電圧 V_{gen} との電圧値の関係について触れなかったが、電源電圧VCCの方が内部電圧 V_{gen} よりも大きい ($V_{gen} < V_{CC}$) ことを前提として説明した。しかしながら、内部電圧の方が電源電圧よりも大きい場合もあり、この場合には内部電圧は昇圧させないで生成できない。このため、第12実施形態に係る半導体集積回路においては、「 $V_{CC} < V_{gen}$ 」となる場合の回路の構成について図28に示している。

【0099】図28において、第12実施形態に係る半導体集積回路60は、内部電圧 V_{gen} が電源電圧VCCよりも高いために全体構成が第10および第11実施形態の回路とは異なっており、内部電圧 V_{gen} を昇圧するためのパルス生成するオシレータ回路61と、内部電圧 V_{gen} を生成するための昇圧回路62と、リミッタ回路63と、より構成されている。リミッタ回路63には、図21に示すような基準電圧生成回路42で生成された基準電圧が供給されている。オシレータ61は、例えば奇数段のインバータを縦列接続させて最終段にNAND回路を接続したような一般的なオシレータが適用される。

【0100】昇圧回路62は、図4および図5を用いて説明した第2実施形態の昇圧回路21と同様の構成のチャージポンプ回路が用いられる。すなわち、図4に示す2相駆動のチャージポンプ回路であっても、或いは図5に示す4相駆動のチャージポンプ回路であっても、何れかを第12実施形態に係る回路に対して適用可能である。

【0101】通常動作においては、内部電圧 V_{gen} を生成する起動信号が立ち、オシレータ回路61がポンピングパルスを出し、昇圧回路62により V_{gen} 電圧が昇圧される。この昇圧電圧をリミッタ回路63によってモニタし、リミッタ回路63の出力であるフラグ信号FLGをフィードバックすることにより内部電圧 V_{gen} は、「 $V_{ref} \times (1 + R_S/R_O)$ 」により決定される電圧となるように制御される。

【0102】一方、電圧トリミングテストのときには、TEST信号をHighとしてポンピングパルスを停止し、外部端子35としての「 V_{gen} PAD」に所定のトリミング電圧 V_{gen} を供給する。この状態で、第10実施形態と同様に、可変抵抗を抵抗値ビットデータによって単調方向に変化させると、図25に示すようなある抵抗値でフラグ信号FLGのロジックが反転する。この反転時の抵抗値ビットデータを記憶し通常動作で設定することで、基準電圧回路系42、リミッタ回路系63のばらつきを含めた電圧トリミングが可能となる。

【0103】また、第10および第11実施形態と同様に、内部回路にてフラグのロジックが反転したときの抵抗値ビットデータを検出することから、多数個チップによる測定が可能となり、テスト時間の短縮化が図れる。

【0104】[第13ないし第15実施形態] 第13ないし第15実施形態は、図29に示されるような電圧トリミングの設定値と誤差の関係からくる誤差の増大を防ぐための実施形態である。第13実施形態ないし第15実施形態は、誤差精度を向上させるために第3

のスイッチを設けている以外の構成は、第10実施形態ないし第12実施形態の構成にそれぞれ対応している。

【0105】まず、電圧トリミングの設定値と誤差の関係について説明する。

【0106】図29に示すように、電圧トリミング設定レベルR1からR5で電圧トリミングを行なうことを考える。例えば、図29のような位置1. 21Vに実際の電圧が存在していたとすると、図29(a)の場合の電圧トリミングテストによりフラグのロジックが変化するのはR4=1. 3Vとなる。したがってトリミング後電圧はR4=1. 3Vに設定され、実際の電圧との差は0. 09Vとなりトリミングのステップ幅と同等の誤差が出てしまう。このように図29(a)の誤差範囲を考えるとOVから0. 1V未満ということになる。ところが、電圧トリミングテスト時と通常設定のレベルを図29(b)のように半ステップレベルずらし、電圧トリミングテスト時に半ステップ上げるようなことを行なうと、実際の電圧1. 21VはR3=1. 25Vでフラグ信号のロジックが変化するのでR3と判定され、通常動作時には半ステップ下がった設定となるのでR3=1. 2Vに設定される。したがって、誤差は0. 01Vとなり、誤差範囲は(b)の場合、 $\pm 0. 5V$ となる。このように(a)と(b)とでトリミングのステップは同じ0. 1Vであるが、誤差は図29(a)はmax1V、図29(b)はmax0. 5Vとなり、図29(b)のようにすると誤差を小さくできる。

【0107】[第13実施形態]図30に示される第13実施形態は、図22に示される第10実施形態に対して、電圧・抵抗設定レベルを半ステップずらすための抵抗RTと第3のスイッチSW3を挿入したものである。この第3のスイッチSW3によって電圧設定レベルを電圧トリミングテスト時と通常時で半ステップずらすことができ、図29(b)に示すように誤差を小さくすることができる。

【0108】[第14実施形態]図31に示される第14実施形態も図27に示される第11実施形態に対して、電圧・抵抗設定レベルを半ステップずらすための抵抗RTと第3のスイッチSW3を挿入したものである。この第3のスイッチSW3によって電圧設定レベルを電圧トリミングテスト時と通常時で半ステップずらすことができ、図29(b)に示すように誤差を小さくすることができる。

【0109】[第15実施形態]図32に示される第15実施形態も図28に示す第12実施形態に対して、電圧・抵抗設定レベルを半ステップずらすための抵抗RTと第3のスイッチSW3を挿入したものである。この第3のスイッチSW3によって電圧設定レベルを電圧トリミングテスト時と通常時で半ステップずらすことで、図29(b)に示すように誤差を小さくすることができる。

【0110】[第16および第17実施形態]以上説明した第10ないし第15実施形態は、ノード34と37との間の抵抗を可変抵抗RS、ノード37と接地間の抵抗を固定抵抗値の抵抗ROとしているが、本発明はこれに限定されず、図33に示す第16実施形態に係る半導体集積回路や、図34に示す第17実施形態に係る半導体集積回路のように、ノード37と接地間に介挿される抵抗を可変抵抗RSとし、他方の抵抗を固定抵抗値の抵抗ROのように構成しても良い。

【0111】第16および第17実施形態は、それぞれ図22および図30に示される第10および第13実施形態に係る回路に対応する構成となっているが、第11、第12、第14および第15実施形態についても第16および第17実施形態の回路と同様に可変抵抗RSおよび固定値抵抗ROを入れ替えた構成のリミッタ回路を適用できることは勿論である。

【0112】[第18実施形態]上述した本発明の構成において、第1の基本構成と第2の基本構成に係る半導体集積回路を組み合わせた構成であっても本発明の概念を含むことができるものと説明したが、この具体的な実施例として図35に示す第18実施形態の半導体集積回路がある。

【0113】図35に示す第18実施形態に係る半導体集積回路は、図8に示された第2実施形態に係る半導体集積回路におけるモニタ回路24と、図28に示された第12実施形態に係る半導体集積回路60の変形した構成とを組み合わせたとした構成を備えている。図35において、第18実施形態に係る半導体集積回路は、内部電圧リミッタ回路64と、モニタ回路24とを備えている。モニタ回路24の構成は、図8を用いて説明した第2実施形態におけるモニタ回路24と同一構成なので、同一符号を付すことにより重複説明を省略する。

【0114】内部電圧リミッタ回路64の構成は、図28に示された第12実施形態の半導体集積回路60の構成を変形したものである。異なる点は、外部からモード信号が供給されて、その反転されたものがNORゲートG1に入力され比較部31の出力との間でNOR論理出力が求められて制御回路39とオンレータ回路61側に供給されている点である。リミッタ回路64の他の構成は図28に示された第12実施形態に係る半導体集積回路の構成と同様である。

【0115】図35に示された第18実施形態に係る半導体集積回路によれば、本発明における第1の基本構成に係る半導体集積回路による内部電源回路の出力電圧状態を外部端子により簡便にモニタできるようにするための構成と、第2の基本構成に係る半導体集積回路によるリミッタフラグの読み出しにより電圧トリミングを行なうことができるようにするための構成と、を同時に提供することができる。なお、この第18実施形態においても、抵抗素子36は、抵抗値が可変の可変抵抗と固定の固定抵抗とを入れ替えた構成であっても良い。

【0116】[第19実施形態]なお、上述した第9ないし第18実施形態に係る半導体集積回路は、電圧トリミング機能を実現するために具体的な回路構成を備えていたが、本発明は第3の基本構成に係る半導体集積回路のように、機能構成により電圧トリミング機能を実現することもできる。図36に示す第19実施形態に係る半導体集積回路は、この第3の基本構成に係る半導体集積回路に対応する構成を示すものである。

【0117】図36において、第19実施形態に係る半導体集積回路における内部電圧リミッタ回路65は、例えば基準電圧生成回路(図36では図示されず)より供給される基準電圧と回路内の電位とを比較する比較回路66と、比較回路66の比較によって内部電圧を生成する内部電圧生成回路67と、比較回路66の出力したフラグ信号FLGに基づきビットデータによって内部電圧値を微調整する微調整制御回路68と、テスト時に内部電圧生成回路67の出力ノードに外部から第1の電圧を供給するための外部端子(Vgen PAD)35と、内部電圧値と前記基準電圧の電圧比および前記第1の電圧と前記基準電圧の電圧比を調整する電圧比調整器69と、を備えている。

【0118】上記構成の内部電圧リミッタ回路65において、微調整制御回路68は、テスト時に外部端子より入力された第1の電圧と基準電圧との電圧比に基づいてビットデータを検知し、このビットデータを用いてテスト時以外の基準電圧と内部電圧の電圧比を電圧比調整器69を介して調整することにより、ビットデータの分解能で決まる誤差範囲内で第1の電圧に近い内部電圧を生成することができる。以上のようにして、テスト時に得られたビットデータを用いて通常の動作時の内部電圧の微調整を行なうことができ、通常動作とテスト動作で略々同じ回路を使用していることによる回路のばらつきを除去することができる。

【0119】

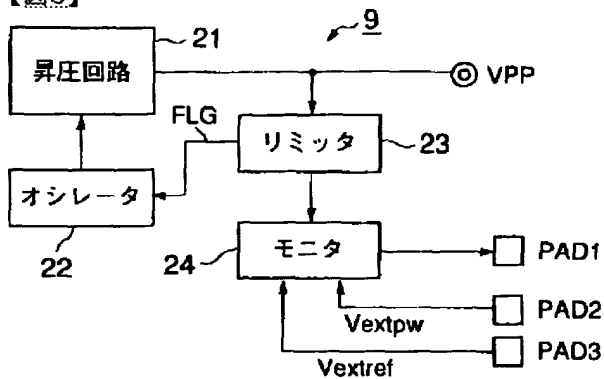
【発明の効果】以上述べたように本発明によれば、内部電源回路に対して、その出力安定化のタイミング後、一定の論理レベルとなるモニタ信号を出力するモニタ回路を付加することにより、LSIテストにより簡単に内部電源回路の出力安定化を確認することが可能となる。

【0120】さらに、本発明に係る電圧トリミング機能を有する半導体集積回路は、電圧モニタパッドに設定したい電圧を外部から与え、リミッタ回路のフィードバック系の非活性化、リミッタの抵抗値操作、リミッタフラグの読み出しにより電圧トリミングを行なう。本

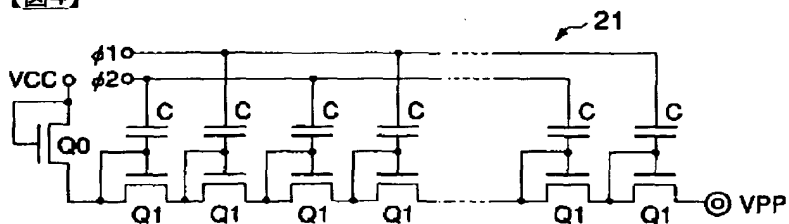
発明に係る半導体集積回路は、設定したい電圧に対してその電圧生成回路のほとんどの回路系を用いて最も近い抵抗値にするため、ばらつきも含めた状態でのトリミングが可能となる。抵抗値を設定するための抵抗値ビットデータの判定作業を内部回路で処理するので、多数個取り測定が可能となり、テスト時間を大幅に短縮することができる。

図面

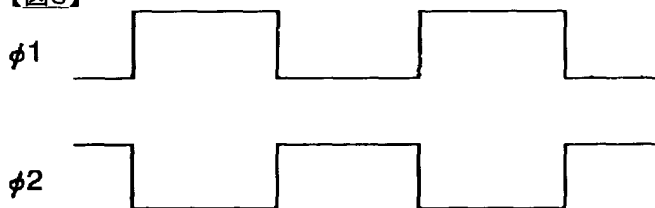
【図3】



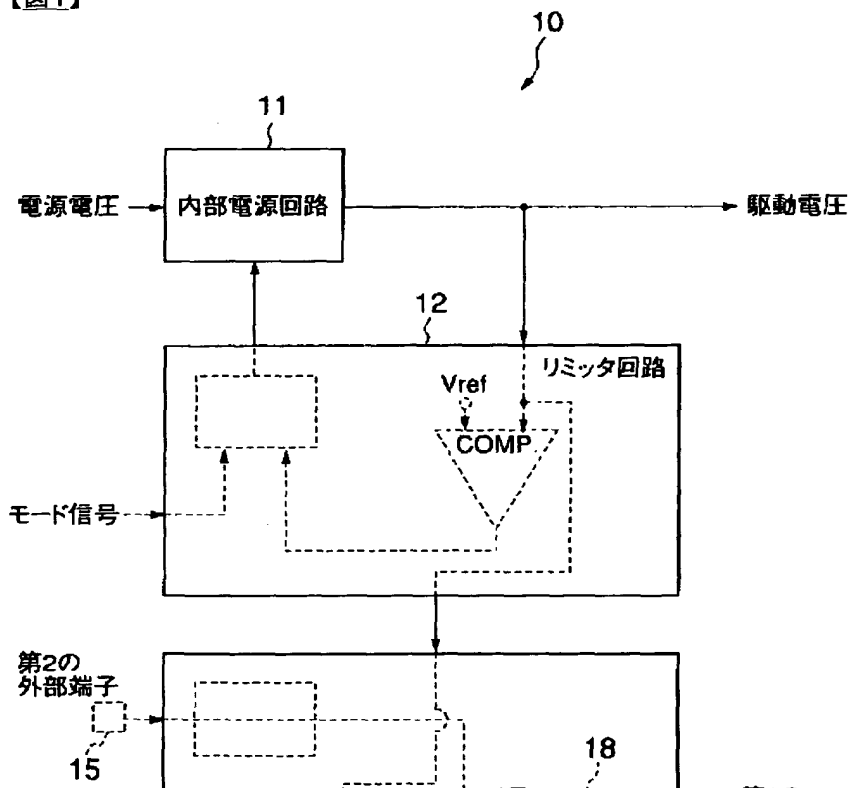
【図4】

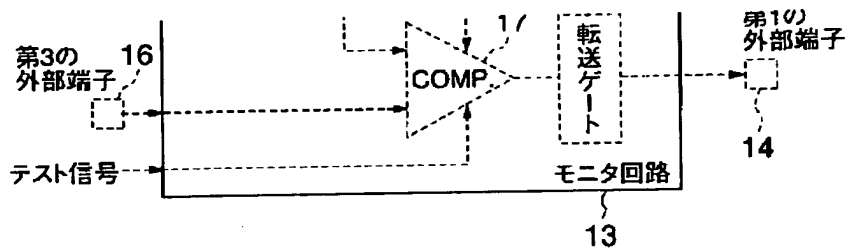


【図6】

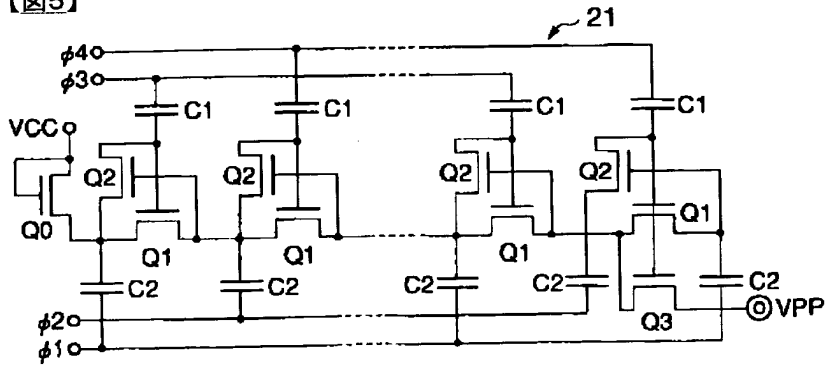


【図1】

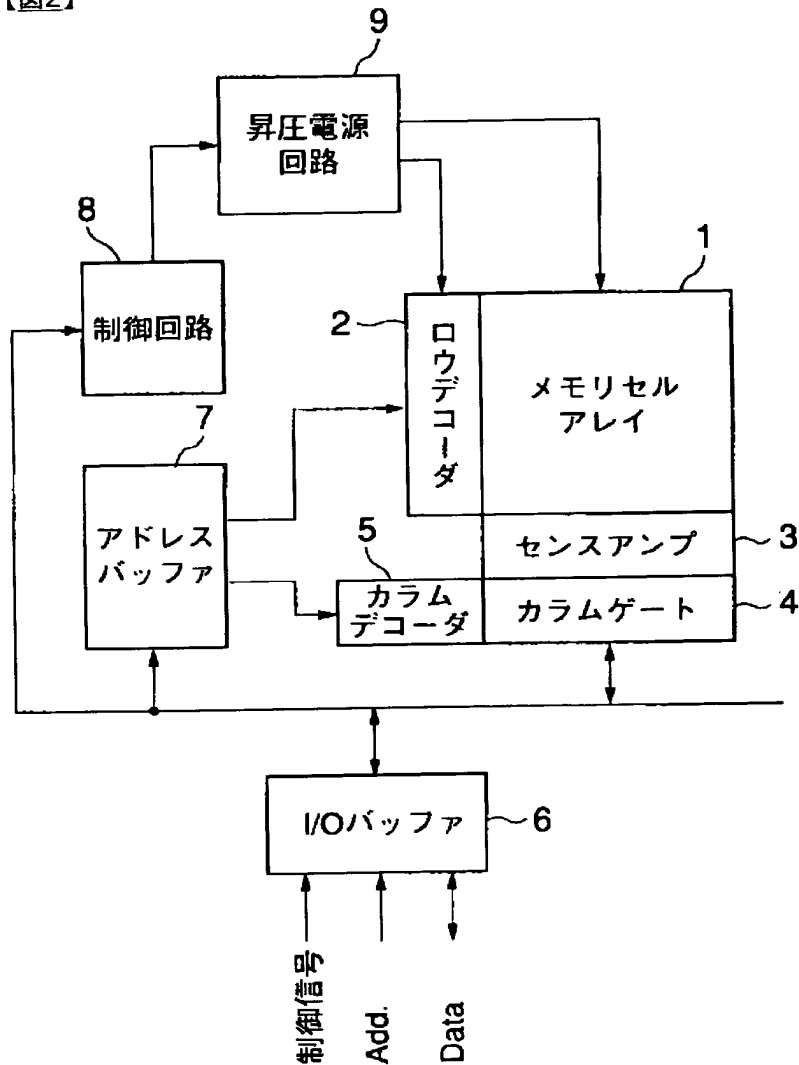




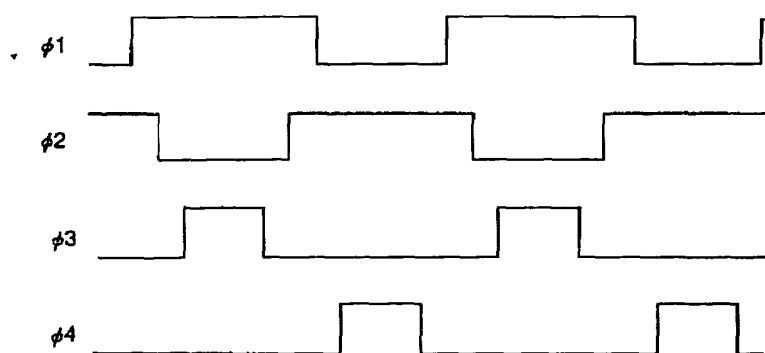
【図5】



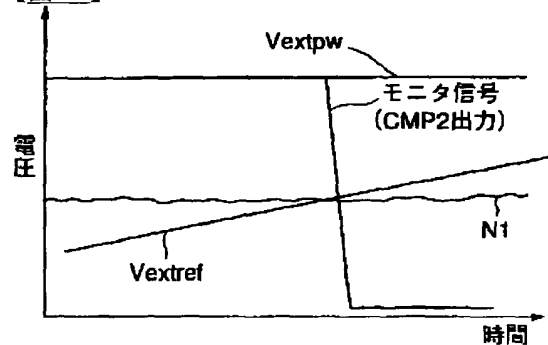
【図2】



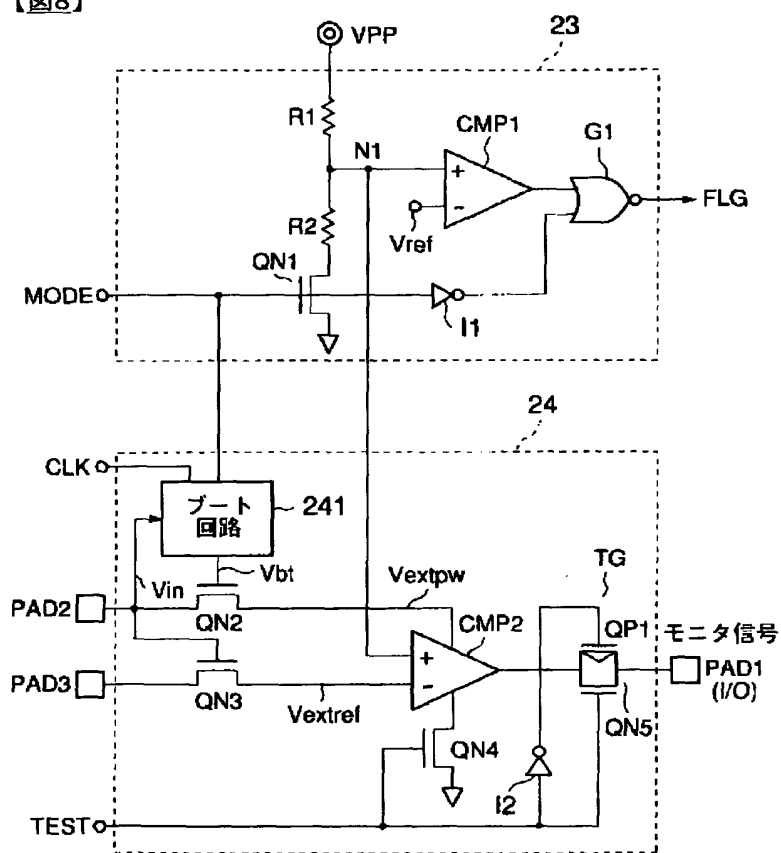
【図7】



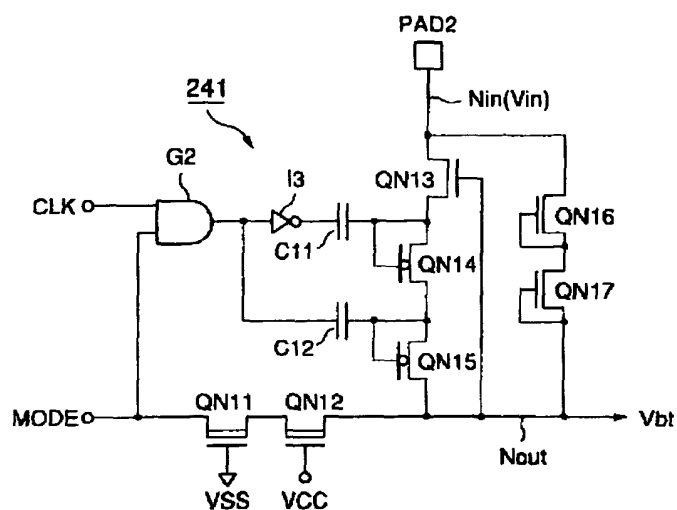
【図10】



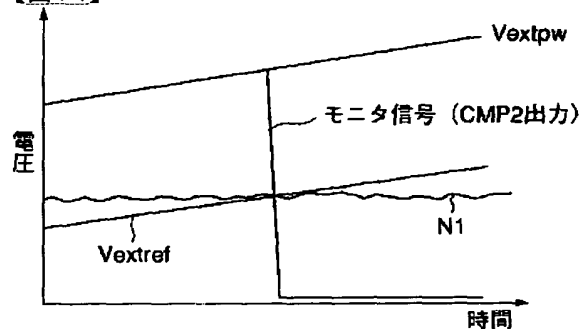
【図8】



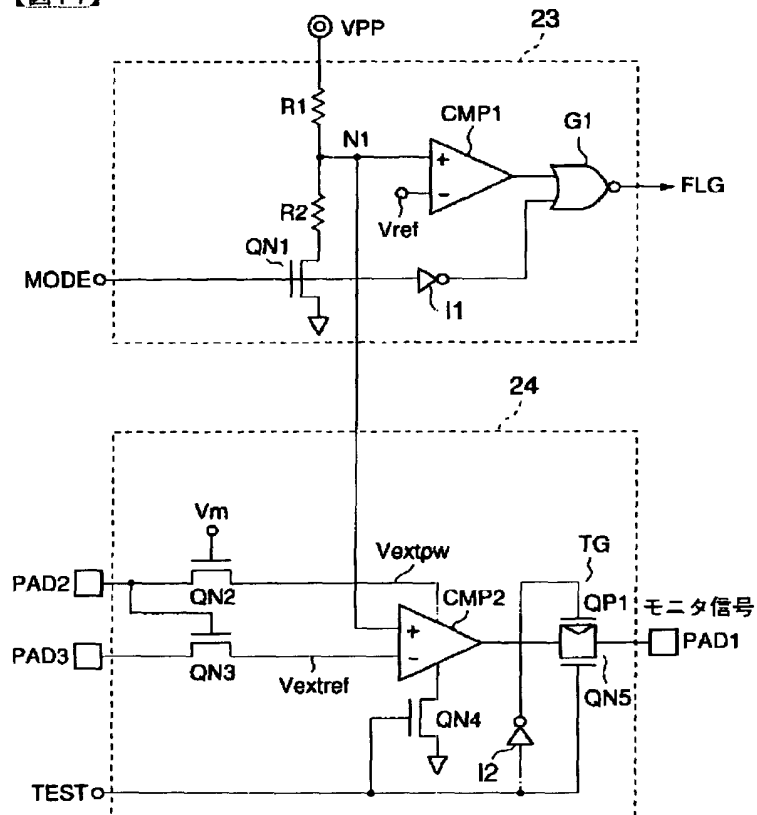
【図9】



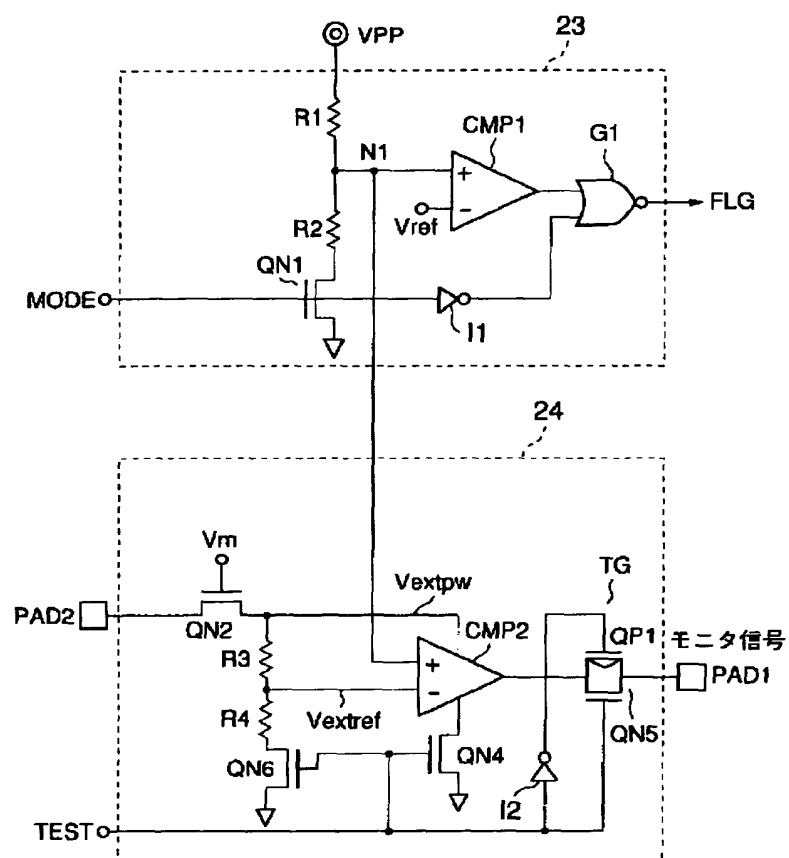
【図14】



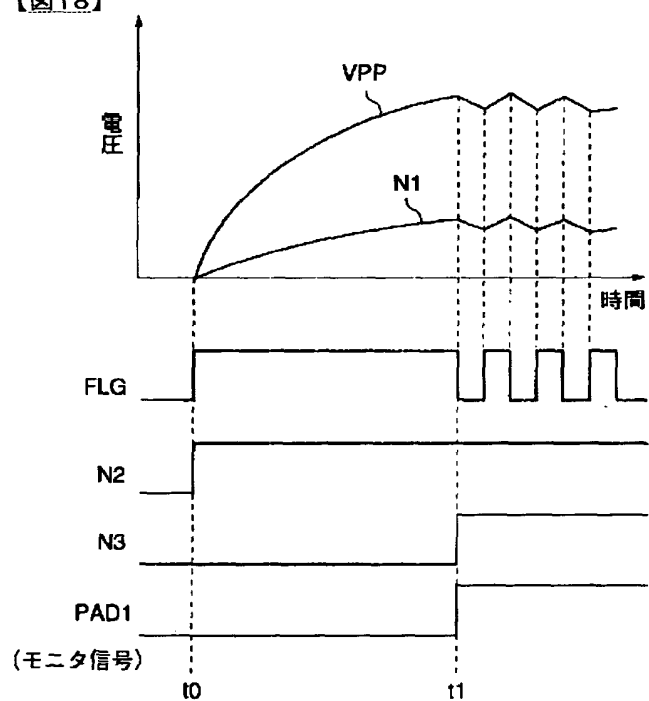
【図11】



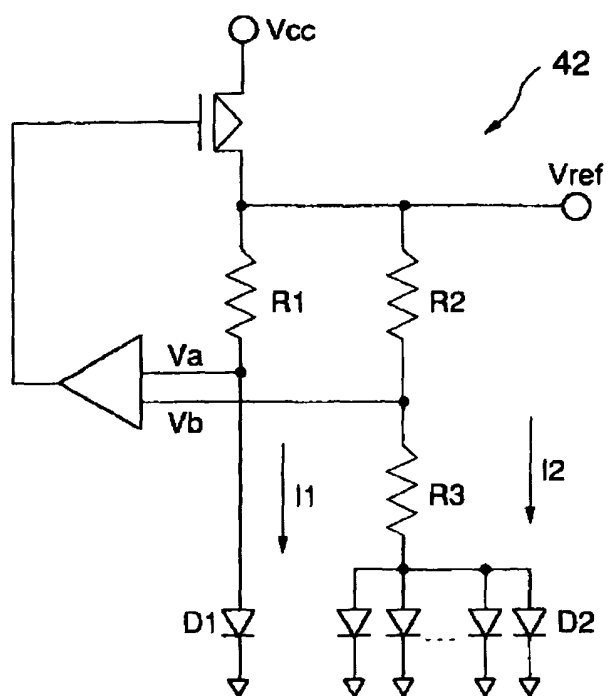
【図15】



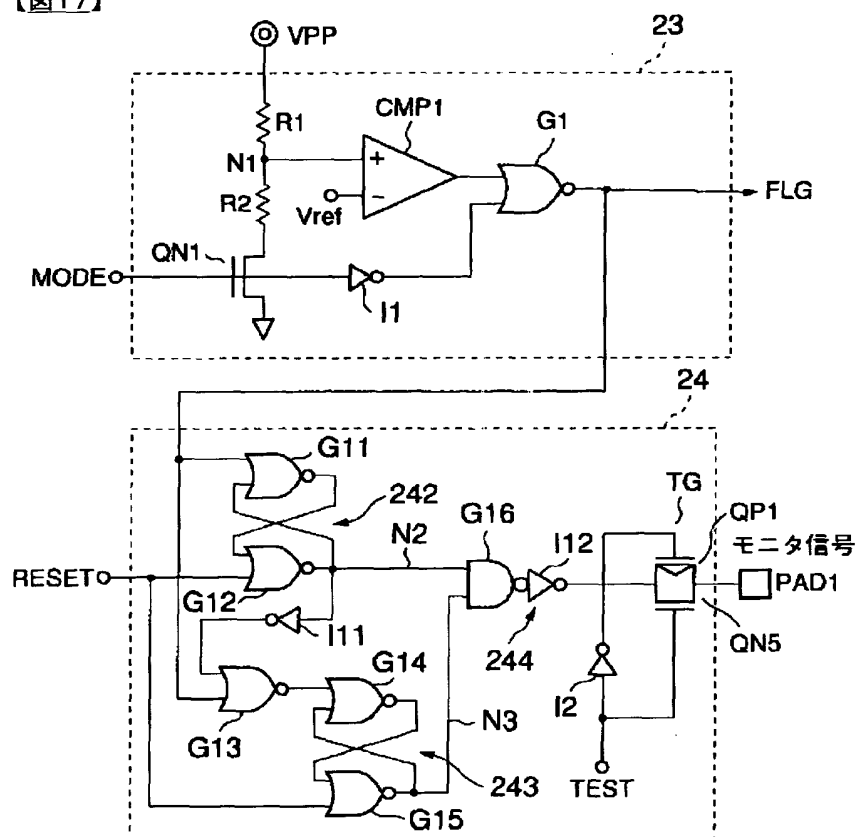
【図18】



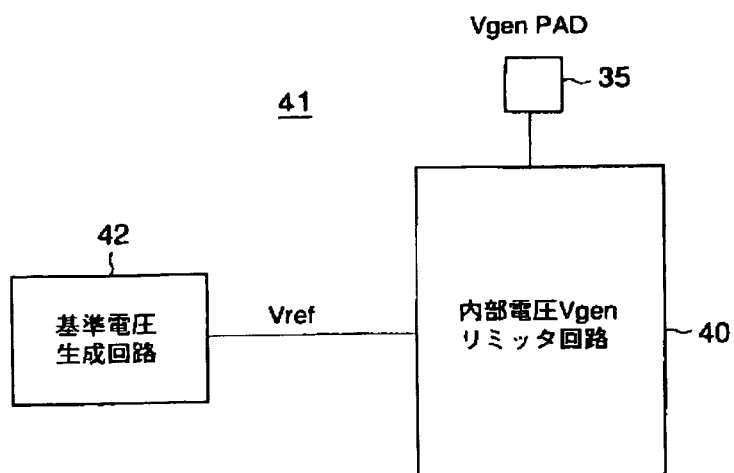
【図21】



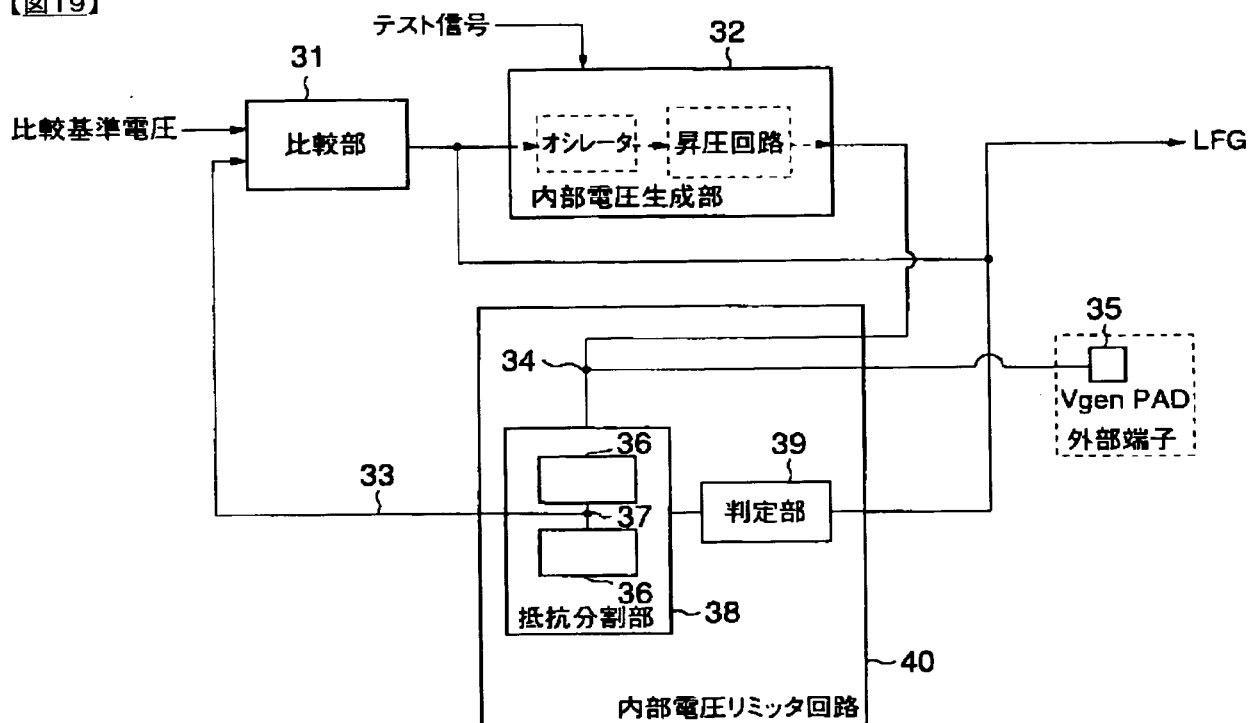
【図17】



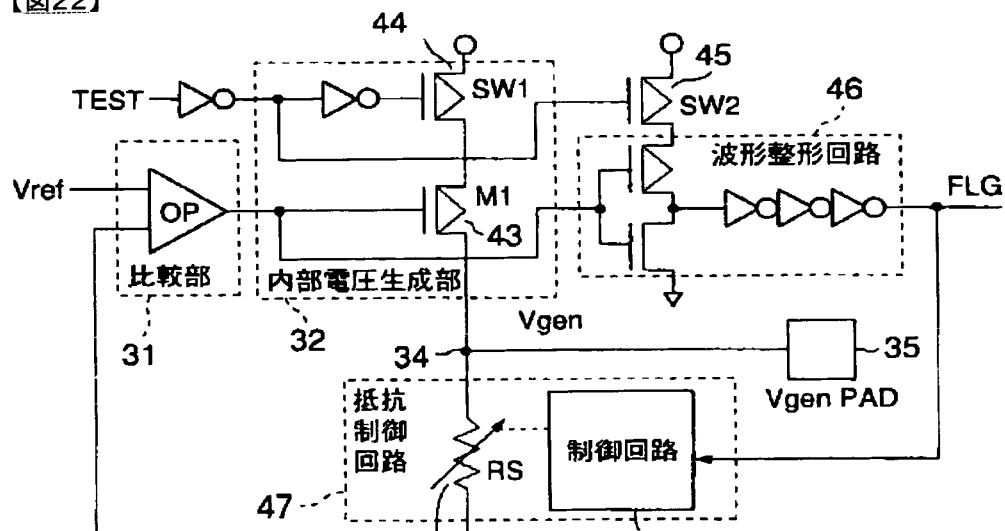
【図20】

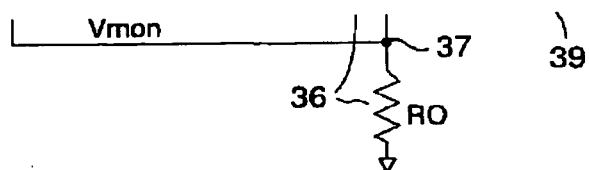


【図19】

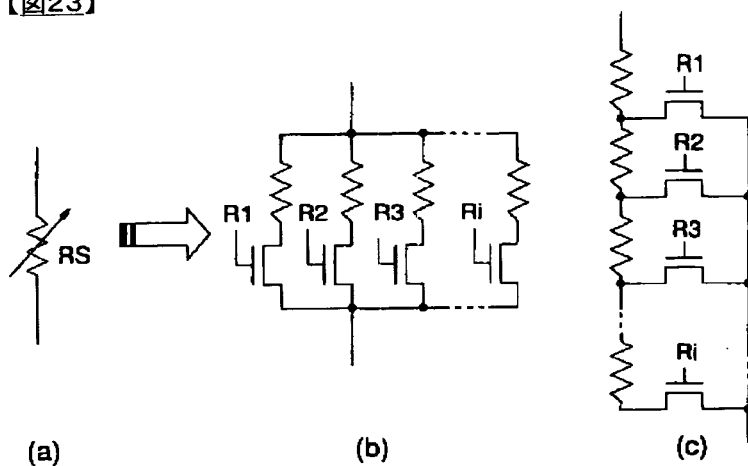


【図22】

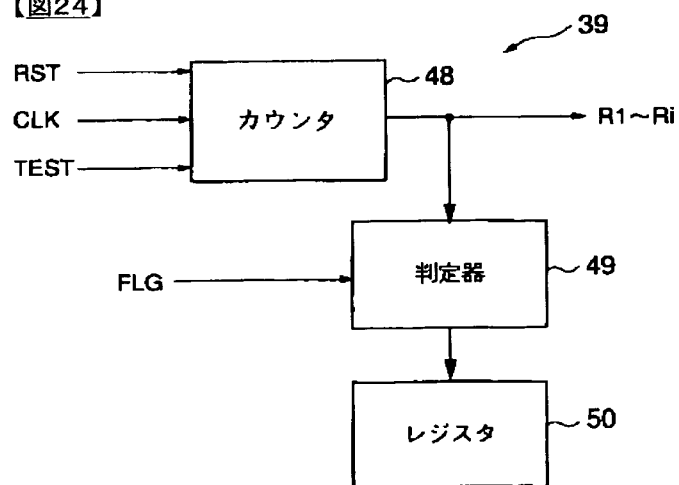




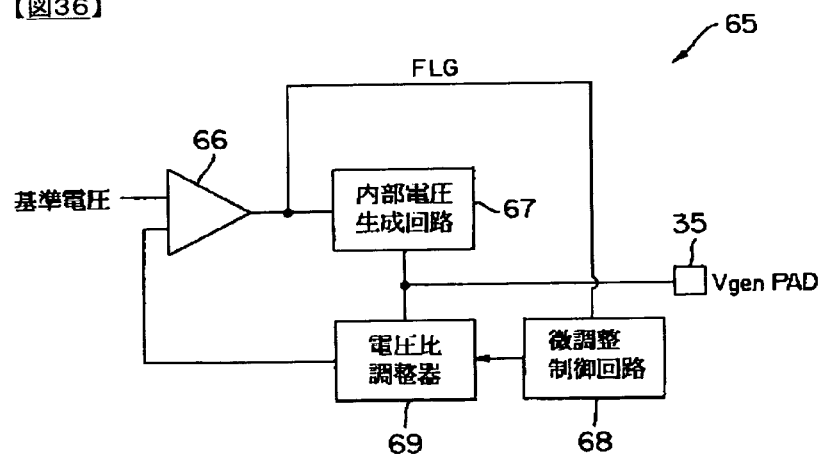
【図23】



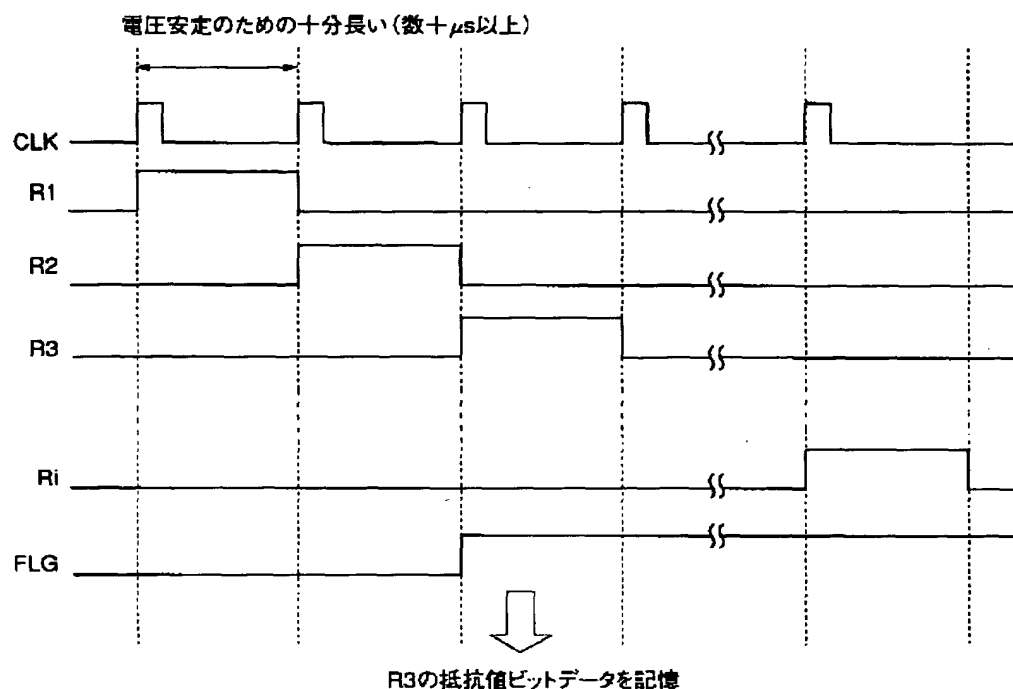
【図24】



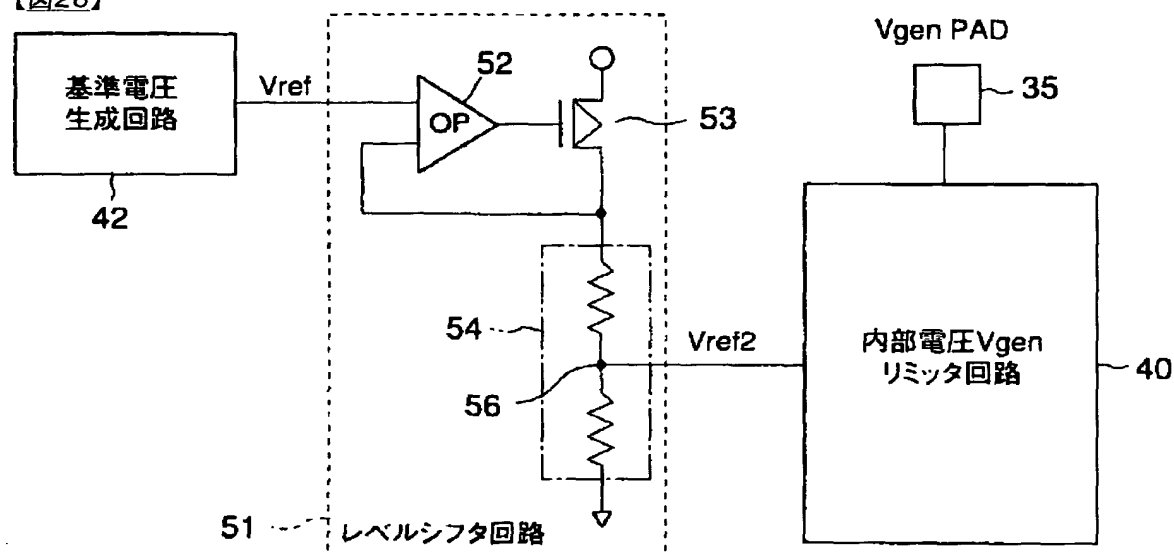
【図36】



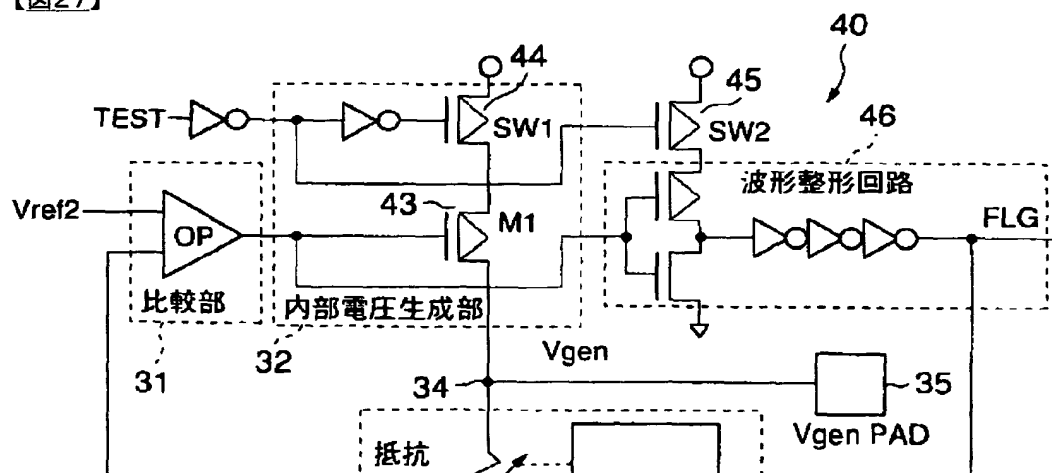
【図25】

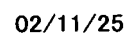


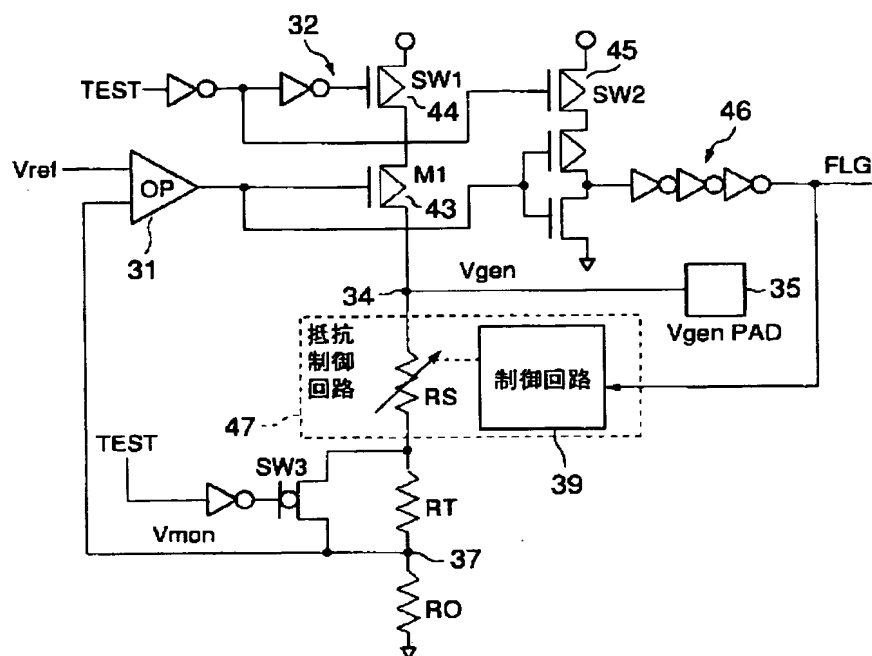
【図26】



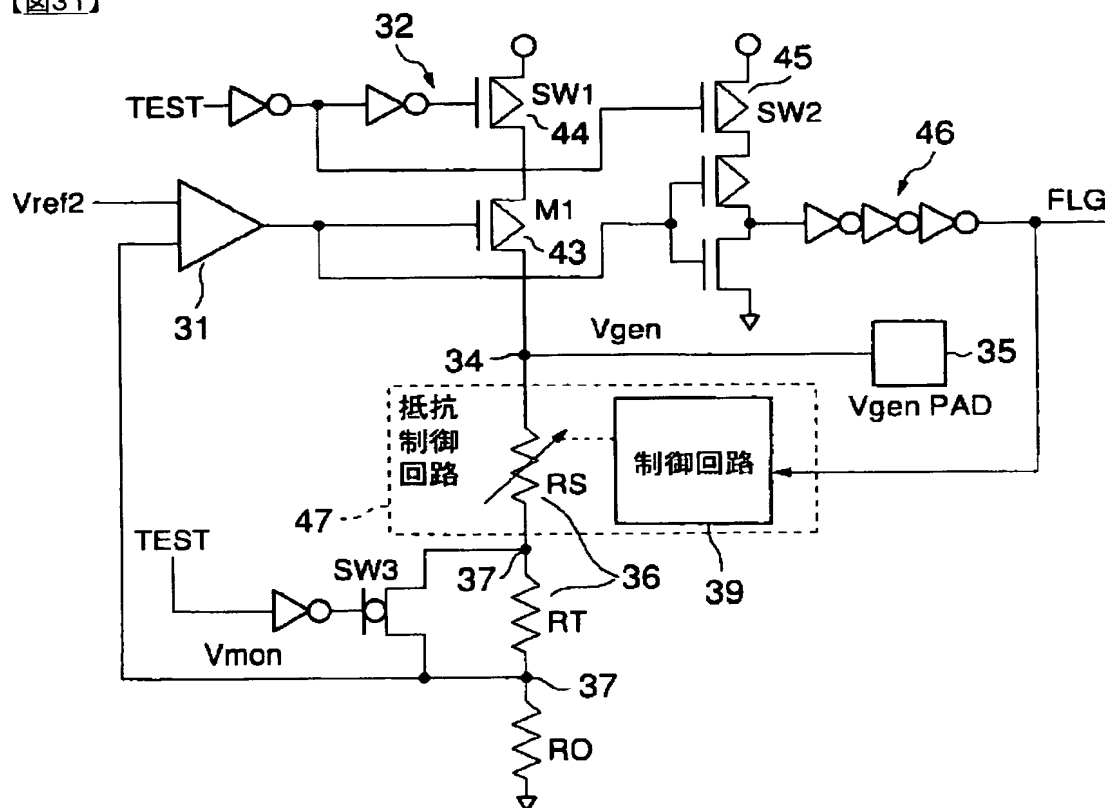
【図27】



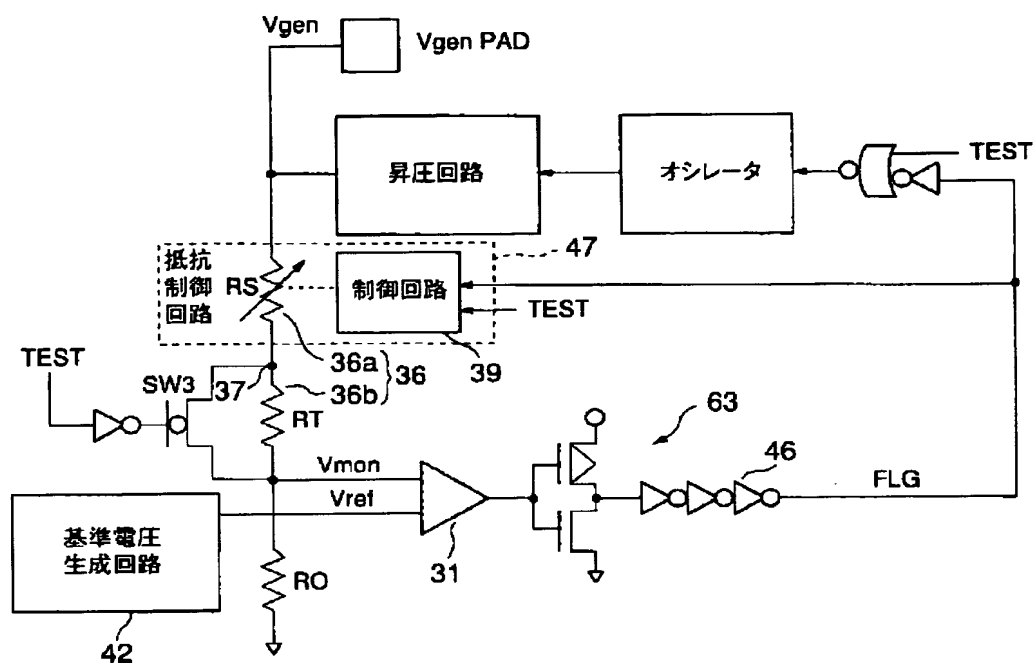




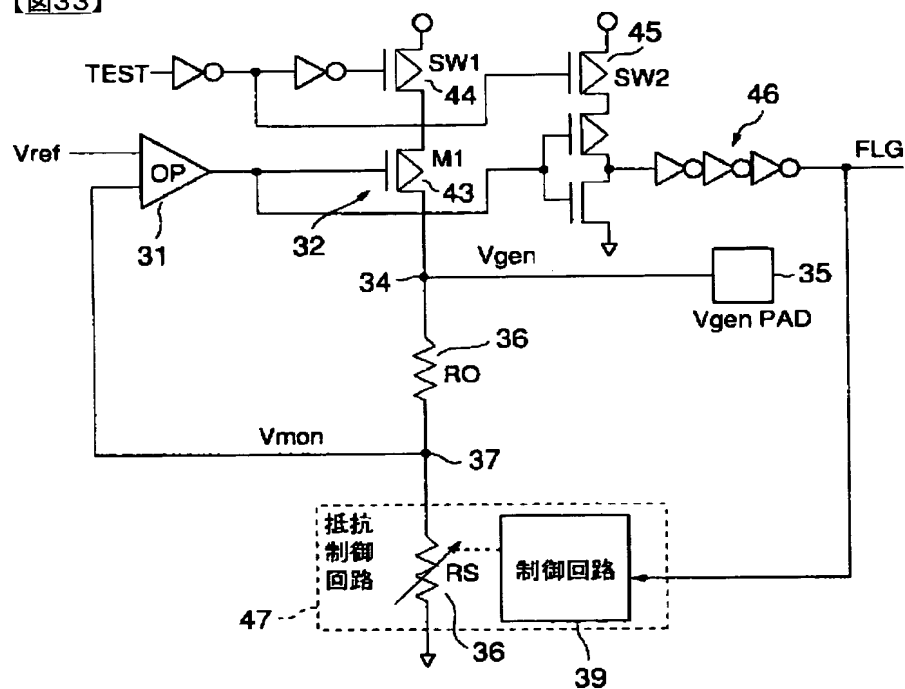
【図31】



【図32】



【図33】



【図34】

